【書類名】明細書

【発明の名称】電気光学装置、電子機器、及び電気光学装置の駆動方法

【技術分野】

　【０００１】

　本発明は、電気光学装置、電子機器、及び電気光学装置の駆動方法に関する。

【背景技術】

　【０００２】

　近年、有機発光ダイオード（以下、ＯＬＥＤ（Organic Light Emitting Diode）という

）素子などの発光素子を用いた電気光学装置が各種提案されている。この電気光学装置の

一般的な構成では、走査線とデータ線との交差に対応して、発光素子やトランジスターな

どを含む画素回路が、表示すべき画像の画素に対応して設けられる。

　このような構成において、画素の階調レベルに応じた電位のデータ信号が駆動トランジ

スターのゲートに印加されると、駆動トランジスターは、ゲート・ソース間の電圧に応じ

た電流を発光素子に供給する。これにより、当該発光素子は、階調レベルに応じた輝度で

発光する。

　【０００３】

　トランジスターを発光強度の調節に用いる駆動方式では、各画素に設けられた駆動トラ

ンジスターの閾値電圧がばらつくと、発光素子に流れる電流がばらつくため、表示画像の

画質が低下してしまう。従って、画質の低下を防ぐためには、駆動トランジスターの閾値

電圧のばらつきを補償する必要がある。そこで、駆動トランジスターのゲート電圧を閾値

電圧に調整するために、駆動トランジスターのゲートとドレインまたはソースとの間に補

償用トランジスターを設けると共に、駆動トランジスターのゲートにカップリング容量を

接続した装置が提案されている（例えば特許文献１参照）。この装置では、データ線と、

駆動トランジスターのゲート配線との間に、サンプリングトランジスターを接続し、サン

プリングトランジスターのゲートと、駆動トランジスターのゲートとの間にカップリング

容量を接続し、データ信号の電位をカップリング電圧分だけ低下させている。

【先行技術文献】

【特許文献】

　【０００４】

　　【特許文献１】特開２０１０－０４８８９９号公報

【発明の概要】

【発明が解決しようとする課題】

　【０００５】

　しかしながら、特許文献１のようにカップリング容量を用いた装置において、データ線

、サンプリングトランジスター、カップリング容量、及び駆動トランジスターのゲートに

接続される配線などが同層に形成されると、振幅の大きいデータ信号の電位変動に伴うノ

イズが、駆動トランジスターのゲート配線など影響を及ぼし、表示品位を低下させる虞が

あった。

　本発明は上述した事情に鑑みてなされたものであり、その目的は、振幅の大きいデータ

信号がデータ線に供給される場合でも、データ信号の変動に伴うノイズによる表示品位の

低下を防止することである。

【課題を解決するための手段】

　【０００６】

　上記目的を達成するために、本発明の一態様に係る電気光学装置は、第１の導電層と、

第２の導電層と、第３の導電層と、前記第２の導電層に接続された第４の導電層と、前記

第３の導電層と前記第４の導電層との間の誘電体膜とを有する第１容量と、前記第３の導

電層と前記第１の導電層とに対応して設けられた画素回路と、を有し、前記第２の導電層

は、前記第３の導電層が形成される層よりも上層に形成される、ことを特徴とする。

　【０００７】

　この態様によれば、画素回路は、第３の導電層の一例としての第２データ転送線と、第

１の導電層の一例としての走査線とに対応して設けられる。第２の導電層の一例としての

第１データ転送線は複数の画素回路に対して共通に設けられるが、第２データ転送線を介

して同一の第１データ転送線に接続された画素回路の集合を画素列とし、この画素列に含

まれる画素回路の個数よりも少ない個数の画素回路を一つのブロックとすると、第２デー

タ転送線は、各ブロックに対して設けられる。このような画素回路において、振幅の大き

いデータ信号が供給される第１データ転送線は、第１容量によって圧縮される信号が供給

される第２データ転送線が形成される層よりも上層に形成される。したがって、第１デー

タ転送線の電位変動の第２データ転送線に対する影響を抑制でき、表示品位を向上させる

。

　【０００８】

　本発明の他の態様に係る電気光学装置は、前記第３の導電層は、前記トランジスターの

ソース電極が形成される層よりも上層に形成される、ことを特徴とする。この態様によれ

ば、第３の導電層の一例としての第２データ転送線が、トランジスターのソース電極に対

するシールドとして機能することになり、他の配線からのノイズの影響を低減することが

できる。

　【０００９】

　本発明の他の態様に係る電気光学装置は、前記第１容量の前記第４の導電層は、前記第

２の導電層と異なる層に形成され、前記第１容量の前記第５の導電層は、前記第４の導電

層と異なる層に形成される、ことを特徴とする。この態様によれば、第１容量の第４の導

電層の一例としての第１電極は第２の導電層の一例としての第１データ転送線とは異なる

層に形成され、さらに、第１容量の第５の導電層の一例としての第２電極は、第１電極と

は異なる層に形成されるので、第１データ転送線に振幅の大きいデータ信号が供給される

場合でも、第１容量への電位変動の影響を抑えることができる。

　【００１０】

　本発明の他の態様に係る電気光学装置は、前記複数のトランジスターのうち、前記発光

素子を駆動するトランジスターの電流端に接続される電源線は、前記第３の導電層よりも

下層に形成される、ことを特徴とする。この態様によれば、電源線がシールドとして機能

し、他の素子への電位変動の影響を抑える。

　【００１１】

　前記発光素子を駆動するトランジスターは、前記電源線に覆われてなる、ことを特徴と

する。この態様によれば、電源線がシールドとして機能し、発光素子を駆動するトランジ

スターへの電位変動の影響を抑える。

　【００１２】

前記第１容量は、前記第３の導電層ごとに設けられている、ことを特徴とする。この態様

によれば、第１データ転送線に振幅の大きいデータ信号が供給される場合でも、第３の導

電層の一例としての各第２データ転送線への電位変動の影響を抑えることができる。

　【００１３】

　上記目的を達成するために、本発明の一態様に係る電子機器は、前記各態様のいずれか

に係る電気光学装置を備えることを特徴とする。この態様によれば、前記各態様のいずれ

かに係る電気光学装置を備える電子機器が提供される。

【図面の簡単な説明】

　【００１４】

　　【図１】本発明の第1実施形態に係る電気光学装置の構成を示す斜視図である。

　　【図２】同電気光学装置の構成を示すブロック図である。

　　【図３】同電気光学装置のデマルチプレクサとデータ転送回路との構成を説明するた

めの回路図である。

　　【図４】同電気光学装置の画素回路の構成を示す回路図である。

　　【図５】同電気光学装置に特有の構成を説明する図である。

　　【図６】比較例として示す従来の構成を説明する図である。

　　【図７】同電気光学装置の動作を示すタイミングチャートである。

　　【図８】同電気光学装置の動作説明図である。

　　【図９】同電気光学装置の動作を示すタイミングチャートである。

　　【図１０】同電気光学装置の動作説明図である。

　　【図１１】同電気光学装置の動作説明図である。

　　【図１２】同電気光学装置の動作説明図である。

　　【図１３】同電気光学装置の動作を示すタイミングチャートである。

　　【図１４】同電気光学装置の動作説明図である。

　　【図１５】基板上に形成される各要素の説明図である。

　　【図１６】基板上に形成される各要素の説明図である。

　　【図１７】発光装置の断面図である。

　　【図１８】本発明の第２実施形態に係る電気光学装置の基板上に形成される各要素の

説明図である。

　　【図１９】基板上に形成される各要素の説明図である。

　　【図２０】発光装置の断面図である。

　　【図２１】基板上に形成される各要素の説明図である。

　　【図２２】基板上に形成される各要素の説明図である。

　　【図２３】本発明の第３実施形態に係る電気光学装置の画素回路の構成を示す回路図

である。

　　【図２４】基板上に形成される各要素の説明図である。

　　【図２５】基板上に形成される各要素の説明図である。

　　【図２６】発光装置の断面図である。

　　【図２７】本発明の第４実施形態に係る電気光学装置の画素回路の構成を示す回路図

である。

　　【図２８】基板上に形成される各要素の説明図である。

　　【図２９】基板上に形成される各要素の説明図である。

　　【図３０】発光装置の断面図である。

　　【図３１】変形例に係る画素回路の構成を示す回路図である。

　　【図３２】変形例に係る画素回路の構成を示す回路図である。

　　【図３３】変形例に係る画素回路の第１データ転送線、転送容量、第２データ転送線

及び画素回路の関係を示す図である。

　　【図３４】ＨＭＤの外観構成を示す図である。

　　【図３５】ＨＭＤの光学構成を示す図である。

【発明を実施するための形態】

　【００１５】

＜第１実施形態＞

　図１は、本発明の第１実施形態に係る電気光学装置１の構成を示す斜視図である。電気

光学装置１は、例えばヘッドマウント・ディスプレイにおいて画像を表示するマイクロ・

ディスプレイである。

　図１に示すように、電気光学装置１は、表示パネル２と、表示パネル２の動作を制御す

る制御回路３とを備える。表示パネル２は、複数の画素回路と、当該画素回路を駆動する

駆動回路とを備える。本実施形態において、表示パネル２が備える複数の画素回路及び駆

動回路は、シリコン基板に形成され、画素回路には、発光素子の一例であるＯＬＥＤが用

いられる。また、表示パネル２は、例えば、表示部で開口する枠状のケース８２に収納さ

れるとともに、ＦＰＣ（Flexible Printed Circuits）基板８４の一端が接続される。

　ＦＰＣ基板８４には、半導体チップの制御回路３が、ＣＯＦ（Chip On Film）技術によ

って実装されるとともに、複数の端子８６が設けられて、図示省略された上位回路に接続

される。

　【００１６】

　図２は、実施形態に係る電気光学装置１の構成を示すブロック図である。上述のとおり

、電気光学装置１は、表示パネル２と、制御回路３とを備える。

　制御回路３には、図示省略された上位回路よりデジタルの画像データＶdataが同期信号

に同期して供給される。ここで、画像データＶdataとは、表示パネル２（厳密には、後述

する表示部１００）で表示すべき画像の画素の階調レベルを例えば８ビットで規定するデ

ータである。また、同期信号とは、垂直同期信号、水平同期信号、及び、ドットクロック

信号を含む信号である。

　【００１７】

　制御回路３は、同期信号に基づいて、各種制御信号を生成し、これを表示パネル２に対

して供給する。具体的には、制御回路３は、表示パネル２に対して、制御信号Ｃtrと、正

論理の制御信号Ｇiniと、これと論理反転の関係にある負論理の制御信号／Ｇiniと、正論

理の制御信号Ｇcplと、これと論理反転の関係にある負論理の制御信号／Ｇcplと、制御信

号Ｓel(1)、Ｓel(2)、Ｓel(3)と、これらの信号に対して論理反転の関係にある制御信号

／Ｓel(1)、／Ｓel(2)、／Ｓel(3)と、を供給する。

　ここで、制御信号Ｃtrとは、パルス信号や、クロック信号、イネーブル信号など、複数

の信号を含む信号である。

　なお、制御信号Ｓel(1)、Ｓel(2)、Ｓel(3)を、制御信号Selと総称し、制御信号／Ｓel

(1)、／Ｓel(2)、／Ｓel(3)を、制御信号／Ｓelと総称する場合がある。

　また、制御回路３は電圧生成回路３１を含む。電圧生成回路３１は、表示パネル２に対

して、各種電位を供給する。具体的には、制御回路３は、表示パネル２に対してリセット

電位Ｖorst及び初期電位Ｖini等を供給する。

　【００１８】

　さらに、制御回路３は、画像データＶdataに基づいて、アナログの画像信号Ｖidを生成

する。具体的には、制御回路３には、画像信号Ｖidの示す電位、及び、表示パネル２が備

える発光素子（後述するＯＬＥＤ１３０）の輝度を対応付けて記憶したルックアップテー

ブルが設けられる。そして、制御回路３は、当該ルックアップテーブルを参照することで

、画像データＶdataに規定される発光素子の輝度に対応した電位を示す画像信号Ｖidを生

成し、これを表示パネル２に対して供給する。

　【００１９】

　図２に示すように、表示パネル２は、表示部１００と、これを駆動する駆動回路（デー

タ転送線駆動回路５及び走査線駆動回路６）とを備える。

　表示部１００には、表示すべき画像の画素に対応した画素回路１１０がマトリクス状に

配列されている。詳細には、表示部１００において、Ｍ行の走査線１２が図において横方

向（Ｘ方向）に延在して設けられ、また、３列毎にグループ化された（３Ｎ）列の第１デ

ータ転送線１４－１が図において縦方向（Ｙ方向）に延在し、かつ、各走査線１２と互い

に電気的な絶縁を保って設けられている。

　なお、図面の煩雑化を避けるために図２においては図示していないが、各々の第１デー

タ転送線１４－１に対しては、第２データ転送線１４－２が電気的に接続可能に且つ縦方

向（Ｙ方向）に延在して設けられている（例えば図４参照）。そして、Ｍ行の走査線１２

と、（３Ｎ）列の第２データ転送線１４－２とに対応して画素回路１１０が設けられてい

る。このため、本実施形態において画素回路１１０は、縦Ｍ行×横（３Ｎ）列でマトリク

ス状に配列されている。

　【００２０】

　ここで、Ｍ、Ｎは、いずれも自然数である。走査線１２及び画素回路１１０のマトリク

スのうち、行（ロウ）を区別するために、図において上から順に１、２、３、…、（Ｍ－

１）Ｍ行と呼ぶ場合がある。同様に第１データ転送線１４－１及び画素回路１１０のマト

リクスの列（カラム）を区別するために、図において左から順に１、２、３、…、（３Ｎ

－１）、（３Ｎ）列と呼ぶ場合がある。

　ここで、第１データ転送線１４－１のグループを一般化して説明するために、１以上の

任意の整数をｎと表すと、左から数えてｎ番目のグループには、（３ｎ－２）列目、（３

ｎ－１）列目及び（３ｎ）列目の第１データ転送線１４－１が属している、ということに

なる。

　【００２１】

　なお、同一行の走査線１２と、同一グループに属する３列の第２データ転送線１４－２

とに対応した３つの画素回路１１０は、それぞれＲ（赤）、Ｇ（緑）、Ｂ（青）の画素に

対応して、これらの３画素が表示すべきカラー画像の１ドットを表現する。すなわち、本

実施形態では、ＲＧＢに対応したＯＬＥＤの発光によって１ドットのカラーを加法混色で

表現する構成となっている。

　【００２２】

　また、図２に示すように、表示部１００において、（３Ｎ）列の給電線（リセット電位

供給線）１６が、縦方向に延在し、かつ、各走査線１２と互いに電気的な絶縁を保って設

けられる。各給電線１６には、所定のリセット電位Ｖorstが共通に給電されている。ここ

で、給電線１６の列を区別するために、図において左から順に１、２、３、…、（３Ｎ）

列目の給電線１６と呼ぶ場合がある。１列目～（３Ｎ）列目の給電線１６の各々は、１列

目～（３Ｎ）列目の第１データ転送線１４－１（第２データ転送線１４－２）の各々に対

応して設けられる。

　【００２３】

　走査線駆動回路６は、１個のフレームの期間内にＭ本の走査線１２を１行毎に順番に走

査するための走査信号Ｇwrを、制御信号Ｃtrに従って生成する。ここで、１、２、３、…

、Ｍ行目の走査線１２に供給される走査信号Ｇwrを、それぞれＧwr(1)、Ｇwr(2)、Ｇwr(3

)、…、Ｇwr(M-1)、Ｇwr(M)と表記している。

　なお、走査線駆動回路６は、走査信号Ｇwr(1)～Ｇwr(M)のほかにも、当該走査信号Ｇwr

に同期した各種制御信号を行毎に生成して表示部１００に供給するが、図２においては図

示を省略している。また、フレームの期間とは、電気光学装置１が１カット（コマ）分の

画像を表示するのに要する期間をいい、例えば同期信号に含まれる垂直同期信号の周波数

が１２０Ｈｚであれば、その１周期分の８．３ミリ秒の期間である。

　【００２４】

　データ転送線駆動回路５は、（３Ｎ）列の第１データ転送線１４－１の各々と１対１に

対応して設けられる（３Ｎ）個のデータ転送回路ＤＴ、各グループを構成する３列の第１

データ転送線１４－１毎に設けられるＮ個のデマルチプレクサＤＭ、及び、データ信号供

給回路７０を備える。

　【００２５】

　データ信号供給回路７０は、制御回路３より供給される画像信号Ｖidと制御信号Ｃtrと

に基づいて、データ信号Ｖd(1)、Ｖd(2)、…、Ｖd(N)を生成する。すなわち、データ信号

供給回路７０は、データ信号Ｖd(1)、Ｖd(2)、…、Ｖd(N)を時分割多重した画像信号Ｖid

に基づいて、データ信号Ｖd(1)、Ｖd(2)、…、Ｖd(N)を生成する。そして、データ信号供

給回路７０は、データ信号Ｖd(1)、Ｖd(2)、…、Ｖd(N)を、１、２、…、Ｎ番目のグルー

プに対応するデマルチプレクサＤＭに対して、それぞれ供給する。

　【００２６】

　図３は、デマルチプレクサＤＭとデータ転送回路ＤＴとの構成を説明するための回路図

である。なお、図３は、ｎ番目のグループに属するデマルチプレクサＤＭと、当該デマル

チプレクサＤＭに接続された３個のデータ転送回路ＤＴとを、代表的に表している。なお

、以下では、ｎ番目のグループに属するデマルチプレクサＤＭを、ＤＭ(n)と表記する場

合がある。

　【００２７】

　以下では、図２に加えて図３を参照しながら、デマルチプレクサＤＭ及びデータ転送回

路ＤＴの構成について説明する。

　図３に示すように、デマルチプレクサＤＭは、列毎に設けられたトランスミッションゲ

ート３４の集合体であり、各グループを構成する３列に、データ信号を順番に供給するも

のである。ここで、ｎ番目のグループに属する（３ｎ－２）、（３ｎ－１）、（３ｎ）列

に対応したトランスミッションゲート３４の入力端は互いに共通接続されて、その共通端

子にそれぞれデータ信号Ｖd(n)が供給される。ｎ番目のグループにおいて左端列である（

３ｎ－２）列に設けられたトランスミッションゲート３４は、制御信号Ｓel(1)がＨレベ

ルであるとき（制御信号／Ｓel(1)がＬレベルであるとき）にオン（導通）する。同様に

、ｎ番目のグループにおいて中央列である（３ｎ－１）列に設けられたトランスミッショ

ンゲート３４は、制御信号Ｓel(2)がＨレベルであるとき（制御信号／Ｓel(2)がＬレベル

であるとき）にオンし、ｎ番目のグループにおいて右端列である（３ｎ）列に設けられた

トランスミッションゲート３４は、制御信号Ｓel(3)がＨレベルであるとき（制御信号／

Ｓel(3)がＬレベルであるとき）にオンする。

　【００２８】

　データ転送回路ＤＴは、保持容量（第３容量）４１、トランスミッションゲート４５、

及び、トランスミッションゲート４２の組を列毎に有し、後述する初期化期間および補償

期間において各列のトランスミッションゲート３４の出力端から出力されるデータ信号の

電位を保持容量（第３容量）４１に蓄積し、後述する書込期間において保持容量（第３容

量）４１に蓄積されたデータ信号の電位を、転送容量１３３に転送する回路である。

　【００２９】

　各列のトランスミッションゲート４５のソース又はドレインは、第１データ転送線１４

－１に電気的に接続される。また、制御回路３は、各列のトランスミッションゲート４５

のゲートに対して、制御信号／Ｇiniを共通に供給する。トランスミッションゲート４５

は、第１データ転送線１４－１と、初期電位Ｖiniの供給線とを、制御信号／ＧiniがＬレ

ベルのときに電気的に接続し、制御信号／ＧiniがＨレベルのときに電気的に非接続とす

る。なお、初期電位Ｖiniの供給線６１には、制御回路３から所定の初期電位Ｖiniが供給

される。

　【００３０】

　保持容量４１は２つの電極を有する。保持容量４１の一方の電極は、ノードｈを介して

トランスミッションゲート４２の入力端に電気的に接続される。また、トランスミッショ

ンゲート４２の出力端は、第１データ転送線１４－１に電気的に接続される。

　制御回路３は、各列のトランスミッションゲート４２に対して、制御信号Ｇcpl及び制

御信号／Ｇcplを共通に供給する。このため、各列のトランスミッションゲート４２は、

制御信号ＧcplがＨレベルであるとき（制御信号／ＧcplがＬレベルであるとき）に一斉に

オンする。

　【００３１】

　各列の保持容量４１の一方の電極は、ノードｈを介して、トランスミッションゲート３

４の出力端、及び、トランスミッションゲート４２の入力端に電気的に接続される。そし

て、トランスミッションゲート３４がオンした際、保持容量４１の一方の電極には、トラ

ンスミッションゲート３４の出力端を介してデータ信号Ｖd(n)が供給される。すなわち、

保持容量４１は、一方の電極にデータ信号Ｖd(n)が供給される。

　また、各列の保持容量４１の他方の電極は、固定電位である電位Ｖssが供給される給電

線６３に共通に接続される。ここで、電位Ｖssは、論理信号である走査信号や制御信号の

Ｌレベルに相当するものであってもよい。なお、保持容量４１の容量値をＣrfとする。

　【００３２】

　図４を参照して、画素回路１１０等について説明する。画素回路１１０が配列する行を

一般的に示すために、１以上Ｍ以下の任意の整数をｍと表す。また、１以上Ｍ以下であっ

て、連続する任意の整数をｍ１、ｍ２と表す。すなわち、ｍは、ｍ１やｍ２を包含する一

般化した概念である。

　各画素回路１１０については電気的にみれば互いに同一構成なので、ここでは、ｍ行目

に位置し、且つ、ｎ番目のグループのうち左端列の（３ｎ－２）列目に位置する、ｍ行（

３ｎ－２）列の画素回路１１０を例にとって説明する。

　【００３３】

　図４に示されるように、第１データ転送線１４－１には転送容量（第１容量）１３３の

第１電極１３３－１と、第１トランジスター１２６のソース又はドレインの一方とが電気

的に接続されている。また、転送容量１３３の第２電極１３３－２と、第１トランジスタ

ー１２６のソース又はドレインの他方とは、第２データ転送線１４－２に電気的に接続さ

れている。

　つまり、第１データ転送線１４－１と第２データ転送線１４－２との間には、転送容量

１３３と第１トランジスター１２６とが並列に接続される。

　また、画素回路１１０は、第２データ転送線１４－２に対して接続される。すなわち、

画素回路１１０には、第１データ転送線１４－１及び第２データ転送線１４－２を介して

、指定階調に応じた階調電位が供給される。

　【００３４】

　本実施形態においては、一本の第２データ転送線１４－２に対して１個の画素回路１１

０が電気的に接続される。

　但し、本発明はこのような構成に限定されるものではなく、一本の第２データ転送線１

４－２に対してＮb個の画素回路１１０を電気的に接続してもよい。つまり、複数個の画

素回路１１０が、一本の第２データ転送線１４－２と、一つの転送容量１３３と、第１ト

ランジスター１２６とを共用するようにしてもよい。

　【００３５】

　図５は、本実施形態に特有の構成を説明する図である。本実施形態では、第１データ転

送線１４－１には、図５に示すように二以上の第２データ転送線１４－２が、それぞれ転

送容量１３３を介して接続される。

　ここで、第２データ転送線１４－２と転送容量１３３とを介して、同一の第１データ転

送線１４－１に接続された画素回路１１０の集合を「画素列」と称する（図５における画

素列Ｐ）。また、所定数の画素回路１１０の集合を「ブロック」と称する（図５における

ブロックＢ）。

　図５に示すように、画素列Ｐは複数のブロックＢを含み、各ブロックＢは複数の画素回

路１１０を含む。つまり、本実施形態においては、第２データ転送線１４－２は、画素列

Ｐに含まれる画素回路１１０の個数と等しい個数の画素回路１１０に対して設けられてい

る。

　これに対して、従来の構成は図６に示すものである。図６は、比較例として示す従来の

構成を説明する図である。同図に示すように、従来の構成では、第２データ転送線１４－

２が画素列Ｐに対して設けられ、その端部に転送容量１３３と第１データ転送線１４－１

とが設けられている。つまり、従来の構成では、一の画素列Ｐ（に含まれる全ての画素回

路１１０）に対して、一本の第１データ転送線１４－１と一本の第２データ転送線１４－

２とが設けられている。この点が、図５を参照して説明した本実施形態に特有の構成、す

なわち第２データ転送線１４－２が画素列Ｐを構成するブロックＢ単位で分割されて複数

設けられている点と明確に相違する。

　【００３６】

　ところで、下記の（式１）で示されるように、表示部１００における画素回路１１０の

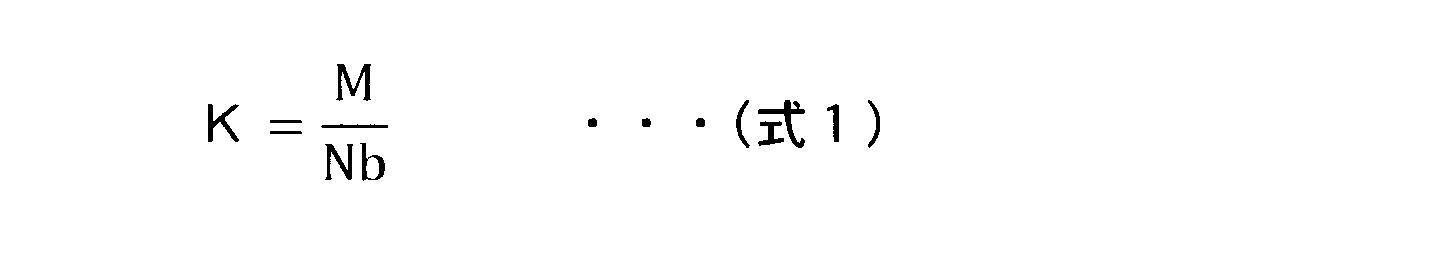
全行数Ｍを、一本の第２データ転送線１４－２に接続された画素回路１１０の行数Ｎbで

除した値をＫとする。換言すれば、第２データ転送線１４－２は、ＭをＮｂで除した値で

あるＫ本に分割され、１本の第２データ転送線１４－２にはＮｂ個の画素回路１１０が接

続されてなるとする。

　　【数１】



　【００３７】

　本実施形態では、一本の第１データ転送線１４－１に対して、Ｋ（Ｋ≧２）×Ｎｂ本の

第２データ転送線１４－２が設けられている。換言すれば、一の画素列Ｐは、Ｋ個のブロ

ックＢを備える。また、第１データ転送線１４－１は、Ｍ行分（Ｍ個）の画素回路１１０

に対応して設けられ、第２データ転送線１４－２は、Ｎｂ行分（Ｎｂ個）の画素回路１１

０に対応して設けられる。従って、第２データ転送線１４－２は第１データ転送線１４－

１と比較して短い。

　本実施形態では、Ｎbの値は１である。なお、１以上Ｋ以下の任意の整数として、kを用

いる。

　以降、１行目から数えてm番目の行における各画素回路１１０に対応する第１トランジ

スター１２６は、１行目から数えてm番目の第１トランジスター１２６であるとし、制御

信号Ｇfix(m)が供給されるとする。

　【００３８】

　画素回路１１０は、ＰチャネルＭＯＳ型のトランジスター１２１～１２５と、ＯＬＥＤ

１３０と、画素容量１３２と、を含む。ｍ行目の画素回路１１０には、走査信号Ｇwr(m)

、制御信号Ｇcmp(m)、Ｇel(m)、Ｇorst(m)が供給される。ここで、走査信号Ｇwr(m)、制

御信号Ｇcmp(m)、Ｇel(m)、Ｇorst(m)は、それぞれｍ行目に対応して走査線駆動回路６に

よって供給されるものである。

　【００３９】

　なお、図２では図示省略したが、図４に示すように表示パネル２（表示部１００）には

、横方向（Ｘ方向）に延在するＭ行の制御線１４３（第１制御線）、横方向に延在するＭ

行の制御線１４４（第２制御線）、横方向に延在するＭ行の制御線１４５（第３制御線）

、横方向に延在するＫ行の制御線１４６（第４制御線）が設けられる。

　【００４０】

　そして、走査線駆動回路６は、ｍ行目の制御線１４３に対して制御信号Ｇcmp(m)を供給

し、ｍ行目の制御線１４４に対して制御信号Ｇel(m)を供給し、ｍ行目の制御線１４５に

対して制御信号Ｇorst(m)を供給し、ｍ行目の制御線１４６に対して制御信号Ｇfix(m)を

供給する。

　すなわち、走査線駆動回路６は、ｍ行目に位置する画素回路に対して、走査信号Ｇwr(m

)、制御信号Ｇel(m)、Ｇcmp(m)、Ｇorst(m)を、それぞれ、ｍ行目の走査線１２、制御線

１４３、１４４、１４５を介して供給する。また、ｍ行目に位置する第１トランジスター

１２６に対して制御信号Ｇfix(m)を、ｍ行目の制御線１４６を介して供給する。

　以下では、走査線１２、制御線１４３、制御線１４４、制御線１４５、及び制御線１４

６を、「制御線」と総称する場合がある。すなわち、本実施形態に係る表示パネル２には

、各行に走査線１２を含む４本の制御線が設けられると共に、１行ごとに１本の制御線１

４６が設けられる。

　【００４１】

　画素容量１３２、及び転送容量１３３は、それぞれ２つの電極を有する。転送容量１３

３は、第１電極１３３－１と第２電極１３３－２とを含む静電容量である。

　第２トランジスター１２２は、ゲートがｍ行目の走査線１２に電気的に接続され、ソー

ス又はドレインの一方が、第２データ転送線１４－２に電気的に接続されている。また、

第２トランジスター１２２は、ソースまたはドレインの他方が、駆動トランジスター１２

１のゲートと、画素容量１３２の一方の電極とに、それぞれ電気的に接続されている。す

なわち、第２トランジスター１２２は、駆動トランジスター１２１のゲートと転送容量１

３３の第２電極１３３－２との間に電気的に接続されている。そして、第２トランジスタ

ー１２２は、駆動トランジスター１２１のゲートと、（３ｎ－２）列目の第２データ転送

線１４－２に接続された転送容量１３３の第２電極１３３－２との間の電気的な接続を制

御するトランジスターとして機能する。

　【００４２】

　駆動トランジスター１２１は、そのソースが給電線１１６に電気的に接続され、そのド

レインは、第３トランジスター１２３のソースまたはドレインの一方と、第４トランジス

ター１２４のソースとに電気的に接続されている。

　ここで、給電線１１６には、画素回路１１０において電源の高位側となる電位Ｖelが給

電される。この駆動トランジスター１２１は、駆動トランジスター１２１のゲート及びソ

ース間の電圧に応じた電流を流す駆動トランジスターとして機能する。

　第３トランジスター１２３は、ゲートが制御線１４３に電気的に接続され、制御信号Ｇ

cmp(m)が供給される。この第３トランジスター１２３は、駆動トランジスター１２１のゲ

ートとドレインとの間の電気的な接続を制御するスイッチングトランジスターとして機能

する。よって、第３トランジスター１２３は、第２トランジスター１２２を介して駆動ト

ランジスター１２１のゲート及びドレインの間を導通させるためのトランジスターである

。なお、第３トランジスター１２３のソース及びドレインの一方と駆動トランジスター１

２１のゲートとの間には第２トランジスター１２２が接続されているが、第３トランジス

ター１２３のソース及びドレインの一方は、駆動トランジスター１２１のゲートに電気的

に接続されているとも解釈され得る。

　【００４３】

　第４トランジスター１２４は、ゲートが制御線１４４に電気的に接続され、制御信号Ｇ

el(m)が供給される。また、第４トランジスター１２４は、ドレインが第５トランジスタ

ー１２５のソースとＯＬＥＤ１３０のアノード１３０ａとにそれぞれ電気的に接続されて

いる。この第４トランジスター１２４は、駆動トランジスター１２１のドレインと、ＯＬ

ＥＤ１３０のアノードとの間の電気的な接続を制御する、スイッチングトランジスターと

して機能する。さらに、駆動トランジスター１２１のドレインとＯＬＥＤ１３０のアノー

ドとの間には第４トランジスター１２４が接続されているが、駆動トランジスター１２１

のドレインは、ＯＬＥＤ１３０のアノードに電気的に接続されているとも解釈され得る。

　第５トランジスター１２５は、ゲートが制御線１４５に電気的に接続され、制御信号Ｇ

orst(m)が供給される。また、第５トランジスター１２５のドレインは（３ｎ－２）列目

の給電線１６に電気的に接続されてリセット電位Ｖorstに保たれている。この第５トラン

ジスター１２５は、給電線１６と、ＯＬＥＤ１３０のアノード１３０ａとの間の電気的な

接続を制御するスイッチングトランジスターとして機能する。

　【００４４】

　第１トランジスター１２６は、ゲートが制御線１４６に電気的に接続され、制御信号Ｇ

fix(k)が供給される。また、第１トランジスター１２６は、ソース又はドレインの一方が

、第２データ転送線１４－２と電気的に接続され、第２データ転送線１４－２を介して転

送容量１３３の第２電極１３３－２及び第３トランジスター１２３のソース又はドレイン

の他方に電気的に接続されている。また、第１トランジスター１２６は、ソース又はドレ

インの他方が、（３ｎ－２）列目の第１データ転送線１４－１と電気的に接続されている

。

　この第１トランジスター１２６は、主として、第１データ転送線１４－１と第２データ

転送線１４－２との間の電気的な接続を制御するスイッチングトランジスターとして機能

する。

　ここで、第１トランジスター１２６及び転送容量１３３は、同一の第２データ転送線１

４－２に接続されているＮb個の画素回路１１０によって共用される。本実施形態では、

図４に示すように、１本の同一の第２データ転送線１４－２には各行目の画素回路１１０

が接続される。

　【００４５】

　なお、本実施形態において表示パネル２はシリコン基板に形成されるので、トランジス

ター１２１～１２６の基板電位については電位Ｖelとしている。また、上記におけるトラ

ンジスター１２１～１２６のソース、ドレインは、トランジスター１２１～１２６のチャ

ネル型、電位の関係に応じて入れ替わってもよい。また、トランジスターは薄膜トランジ

スターであっても電界効果トランジスターであってもよい。

　【００４６】

　画素容量１３２は、一方の電極が駆動トランジスター１２１のゲートｇに電気的に接続

され、他方の電極が給電線１１６に電気的に接続される。このため、画素容量１３２は、

駆動トランジスター１２１のゲート・ソース間の電圧を保持する保持容量として機能する

。なお、画素容量１３２の容量値をＣpixと表記する。

　なお、画素容量１３２としては、駆動トランジスター１２１のゲートｇに寄生する容量

を用いても良いし、シリコン基板において互いに異なる導電層で絶縁層を挟持することに

よって形成される容量を用いても良い。

　【００４７】

　転送容量１３３は、第１電極１３３－１が第１データ転送線１４－１及びトランスミッ

ションゲート４２を介して保持容量４１の一方の電極に電気的に接続される。また、転送

容量１３３は、第２電極１３３－２が第２データ転送線１４－２及び第２トランジスター

１２２を介して駆動トランジスター１２１のゲートｇに電気的に接続される。このため、

転送容量１３３は、後述する補償期間において、ゲートｇの電位を、第１データ転送線１

４－１及び第１電極１３３－１の電位の変化量に対して、転送容量１３３と保持容量４１

との容量比を乗じた値だけレベルシフトさせる転送容量として機能する。詳しくは後述す

る。なお、転送容量１３３の容量値をＣ１と表記する。

　【００４８】

　また、本実施形態においては、リセット電位Ｖorstが供給される給電線１６と、第１デ

ータ転送線１４－１との間には、シールド容量１３４が設けられている。転送容量１３３

は、第１電極１３４－１と第２電極１３４－２とを含む静電容量である。シールド容量１

３４は、第１データ転送線１４－１をシールドするシールド容量として機能する。なお、

シールド容量１３４の容量値をＣ２と表記する。

　【００４９】

　ＯＬＥＤ１３０のアノード１３０ａは、画素回路１１０毎に個別に設けられる画素電極

である。これに対して、ＯＬＥＤ１３０のカソードは、画素回路１１０のすべてにわたっ

て共通に設けられる共通電極１１８であり、画素回路１１０において電源の低位側となる

電位Ｖctに保たれている。ＯＬＥＤ１３０は、上記シリコン基板において、アノード１３

０ａと光透過性を有するカソードとで白色有機ＥＬ層を挟持した素子である。そして、Ｏ

ＬＥＤ１３０の出射側（カソード側）にはＲＧＢのいずれかに対応したカラーフィルター

が重ねられる。なお、白色有機ＥＬ層を挟んで配置される２つの反射層間の光学距離を調

整してキャビティ構造を形成し、ＯＬＥＤ１３０から発せられる光の波長を設定してもよ

い。この場合、カラーフィルターを有していてもよいし、有さなくてもよい。

　【００５０】

　このようなＯＬＥＤ１３０において、アノード１３０ａからカソードに電流が流れると

、アノード１３０ａから注入された正孔とカソードから注入された電子とが有機ＥＬ層で

再結合して励起子が生成され、白色光が発生する。このときに発生した白色光は、シリコ

ン基板（アノード１３０ａ）とは反対側のカソードを透過し、カラーフィルターによる着

色を経て、観察者側に視認される構成となっている。

　【００５１】

　図７を参照して電気光学装置１の動作について説明する。図７は、電気光学装置１にお

ける各部の動作を説明するためのタイミングチャートである。この図に示されるように、

走査線駆動回路６は、走査信号Ｇwr(1)～Ｇwr(M)を順次Ｌレベルに切り替えて、１フレー

ムの期間において１～M行目の走査線１２を１水平走査期間（Ｈ）毎に順番に走査する。

　１水平走査期間（Ｈ）での動作は、各行の画素回路１１０にわたって共通である。そこ

で以下については、ｍ１行目が水平走査される水平走査期間において、特にｍ１行（３ｎ

－２）列の画素回路１１０について着目して動作を説明する。

　【００５２】

　本実施形態ではｍ１行目の水平走査期間は、大別すると、図７において（ａ）で示され

る初期化期間と、（ｂ）で示される補償期間と、（ｃ）で示される書込期間と、（ｄ）で

示される非発光期間とに分けられる。また、次の水平走査期間は、（ｄ）で示される非発

光期間が継続し、さらに次の水平走査期間は、（ｅ）で示される発光期間となり、１フレ

ームの期間経過後に再びｍ１行目の水平走査期間に至る。このため、時間の順でいえば、

初期化期間→補償期間→書込期間→非発光期間→発光期間というサイクルの繰り返しとな

る。

　【００５３】

　図８は、発光期間における画素回路１１０などの動作を説明する図である。なお、図８

においては、動作説明で重要となる電流経路を太線で示し、オフ状態のトランジスター又

はトランスミッションゲート上には太線で「Ｘ」印を付している（以下の図９、図１０、

図１１、及び図１４においても同様である）。

　【００５４】

＜初期化期間＞

　図７に示されるように、ｍ１行目の初期化期間では、走査信号Ｇwr(m1)はＨレベルであ

り、制御信号Ｇel(m1)はＨレベルであり、制御信号Ｇcmp(m1)はＨレベルであり、制御信

号Ｇfix(m)はＬレベルである。制御信号Ｇorst(m1)はＬレベルである。

　このため、図８に示されるように、ｍ１行（３ｎ－２）列の画素回路１１０においては

第５トランジスター１２５，第１トランジスター１２６がオンする一方、駆動トランジス

ター１２１、第２トランジスター１２２、第３トランジスター１２３、第４トランジスタ

ー１２４がオフする。これにより、ＯＬＥＤ１３０に供給される電流の経路が遮断される

ので、ＯＬＥＤ１３０は、オフ（非発光）状態となる。

　【００５５】

　図８に示されるように、第５トランジスタートランジスター１２５がオンすることによ

り、ＯＬＥＤ１３０のアノード１３０ａと給電線１６とが電気的に接続され、アノード１

３０ａの電位がリセット電位Ｖorstに設定される

　【００５６】

　ここで、初期化期間においてデータ転送回路ＤＴでは、制御信号／ＧiniがＬレベルに

なり、制御信号ＧiniがＨレベルになるので図８に示されるようにトランスミッションゲ

ート４５がオンし、制御信号ＧcplがＬレベルになり、制御信号/ＧcplがＨレベルになる

ので図８に示されるようにトランスミッションゲート４２がオフする。また、制御信号Ｇ

fix(k)はＬレベルであるため、第１トランジスター１２６がオンしている。このため、図

８に示されるように転送容量１３３の第１電極１３３－１に接続された第１データ転送線

１４－１が初期電位Ｖiniに設定されると共に、第１データ転送線１４－１と第２データ

転送線１４－２とが電気的に接続され、転送容量１３３の第２電極１３３－２も初期電位

Ｖiniに設定される。これにより、転送容量１３３が初期化される。

　【００５７】

　また、初期化期間におけるデマルチプレクサＤＭ（ｎ）では、制御信号Ｓel(1)がＨレ

ベルになり、制御信号/Ｓel(1)がＬレベルになるので、図８に示されるようにトランスミ

ッションゲート３４がオンする。これにより、容量値Ｃrfの保持容量４１に階調電位が書

き込まれる。

　【００５８】

　ところで、本実施形態では、ｍ１行（３ｎ－２）列の画素回路１１０が接続されている

第２データ転送線１４－２と、ｍ２行（３ｎ－２）列の画素回路１１０が接続されている

第２データ転送線１４－２とは別になっている。従って、ｍ１行目の初期化期間には制御

信号Ｇfix(m1)によって制御される第１トランジスター１２６が用いられ、図９に示され

るようにｍ２行目の初期化期間には制御信号Ｇfix(m2)によって制御される第１トランジ

スター１２６が用いられる。

　【００５９】

＜補償期間＞

　初期化期間を終えると補償期間が開始する。ｍ１行目の補償期間では、走査信号Ｇwr(m

1)はＬレベルであり、制御信号Ｇel(m1)はＨレベルであり、制御信号Ｇcmp(m1)はＬレベ

ルであり、制御信号Ｇfix(m1)はＨレベルである。制御信号Ｇorst(m1)はＬレベルである

。

　このため、図１０に示されるように、ｍ１行（３ｎ－２）列の画素回路１１０において

は第２トランジスター１２２、第３トランジスター１２３、第５トランジスター１２５が

オンする一方、第４トランジスター１２４、第１トランジスター１２６がオフする。この

とき、駆動トランジスター１２１のゲートｇは、第２トランジスター１２２と第３トラン

ジスター１２３とを介して自身のドレインに接続（ダイオード接続）され、駆動トランジ

スター１２１にはドレイン電流が流れてゲートｇを充電する。

　すなわち、駆動トランジスター１２１のドレインとゲートｇとは、第２データ転送線１

４－２に接続され、駆動トランジスター１２１の閾値電圧をＶthとすると、駆動トランジ

スター１２１のゲートｇの電位Ｖｇは、（Ｖel－Ｖth）に漸近していく。

　【００６０】

　ここで、補償期間のデータ転送回路ＤＴにおいては、制御信号/ＧiniがＬレベルになり

、制御信号ＧiniがＨレベルになるので、図１０に示されるようにトランスミッションゲ

ート４５がオンし、制御信号ＧcplがＬレベルになり、制御信号/ＧcplがＨレベルになる

ので、トランスミッションゲート４２がオフする。このとき、上述したように従来の構成

と比較して第２データ転送線１４－２が短いため、第２データ転送線１４－２に付随する

寄生容量への充電又は放電に要する時間が短縮され、補償期間自体が短縮される。

　【００６１】

　また、補償期間におけるデマルチプレクサＤＭ（ｎ）では、制御信号Ｓel(1)がＨレベ

ルになり、制御信号／Ｓel(1)がＬレベルになるので、図１０に示されるようにトランス

ミッションゲート３４がオンする。これにより、容量値Ｃrfの保持容量４１に階調電位が

書き込まれる。

　【００６２】

　なお、第４トランジスター１２４はオフしているため、駆動トランジスター１２１のド

レインはＯＬＥＤ１３０と電気的に非接続である。また、初期化期間と同様、第５トラン

ジスター１２５がオンすることによって、ＯＬＥＤ１３０のアノード１３０ａと給電線１

６とが電気的に接続され、アノード１３０ａの電位がリセット電位Ｖorstに設定される。

　【００６３】

＜書込期間＞

　補償期間を終えると、書込期間が開始する。ｍ１行目の書込期間では、走査信号Ｇwr(m

1)がＬレベルであり、制御信号Ｇel(m1)はＨレベルであり、制御信号Ｇcmp(m1)はＨレベ

ルであり、制御信号Ｇfix(m1)はＨレベルである。制御信号Ｇorst(m1)はＬレベルである

。

　このため、図１１に示されるように、ｍ１行（３ｎ－２）列の画素回路１１０において

はトランジスター１２２、１２５がオンする一方、トランジスター１２３、１２４、１２

６がオフする。

　【００６４】

　ここで、書込期間のデータ転送回路ＤＴにおいては、制御信号／ＧiniがＨレベルにな

るので、図１１に示されるようにトランスミッションゲート４５がオフし、制御信号Ｇcp

lがＨレベルになるので、図１１に示されるようにトランスミッションゲート４２がオン

する。このため、第１データ転送線１４－１及び第１電極１３３－１への初期電位Ｖini

の供給が解除されると共に、第１データ転送線１４－１及び第１電極１３３－１に対して

容量値Ｃrfの保持容量４１の一方の電極が接続され、当該第１電極１３３－１に階調電位

が供給される。そして、階調電位がレベルシフトされた信号が、駆動トランジスター１２

１のゲートに供給され、画素容量１３２に書き込まれる。このように、本実施形態におい

ては、データ転送回路ＤＴのトランスミッションゲート４２および保持容量４１、並びに

転送容量１３３を用いて階調電位のレベルシフトが行われる。

　なお、書込期間におけるデマルチプレクサＤＭ（ｎ）では、制御信号Ｓel(1)がＬレベ

ルになるので、図１１に示されるようにトランスミッションゲート３４がオフする。

　【００６５】

　なお、第４トランジスター１２４はオフしているため、駆動トランジスター１２１のド

レインはＯＬＥＤ１３０と電気的に非接続である。また、初期化期間と同様、第５トラン

ジスター１２５がオンすることによって、ＯＬＥＤ１３０のアノード１３０ａと給電線１

６とが電気的に接続され、アノード１３０ａの電位がリセット電位Ｖorstに初期化される

。

　【００６６】

　なお、ｍ行目の書込期間が開始されるまで（初期化期間、補償期間の間）に、制御回路

３は、ｎ番目のグループでいえば、データ信号Ｖd(n)を順番に、ｍ行（３ｎ－２）列、ｍ

行（３ｎ－１）列、ｍ行（３ｎ）列の画素の階調レベルに応じた電位に切り替える。

　一方、制御回路３は、データ信号の電位の切り替えに合わせて制御信号Ｓel(1)、Ｓel(

2)、Ｓel(3)を順番に排他的にＨレベルとする。制御回路３は、図示は省略しているが、

制御信号Ｓel(1)、Ｓel(2)、Ｓel(3)とは論理反転の関係にある制御信号／Ｓel(1)、／Ｓ

el(2)、／Ｓel(3)についても出力している。これによって、デマルチプレクサＤＭでは、

各グループにおいてトランスミッションゲート３４がそれぞれ左端列、中央列、右端列の

順番でオンする。

　【００６７】

　ところで、左端列のトランスミッションゲート３４が制御信号Ｓel(1)、／Ｓel(1)によ

ってオンしたとき、第１データ転送線１４－１及び第１電極１３３－１の電位の変化量を

ΔＶとすると、第２データ転送線１４－２及び駆動トランジスター１２１のゲートｇの電

位の変化量ΔＶｇは、下記（式２）で表せる。但し、転送容量１３３の容量値Ｃ１は画素

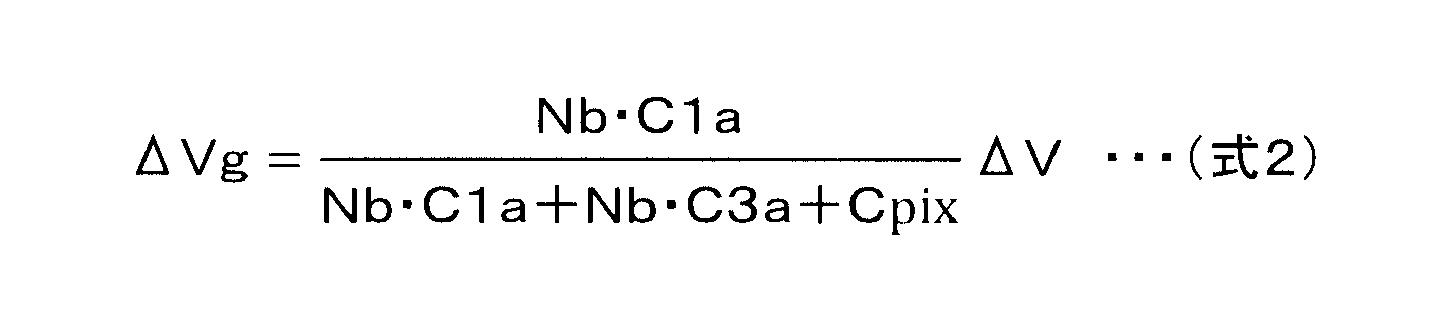
回路１１０の行数に比例して容量値を調整可能であり、１行当たりの容量Ｃ１ａとする。

また、1行当たりの第２データ転送線１４－２に付随する寄生容量の容量値をＣ３ａとす

る。また、上述したように、一本の第２データ転送線１４－２に接続された画素回路１１

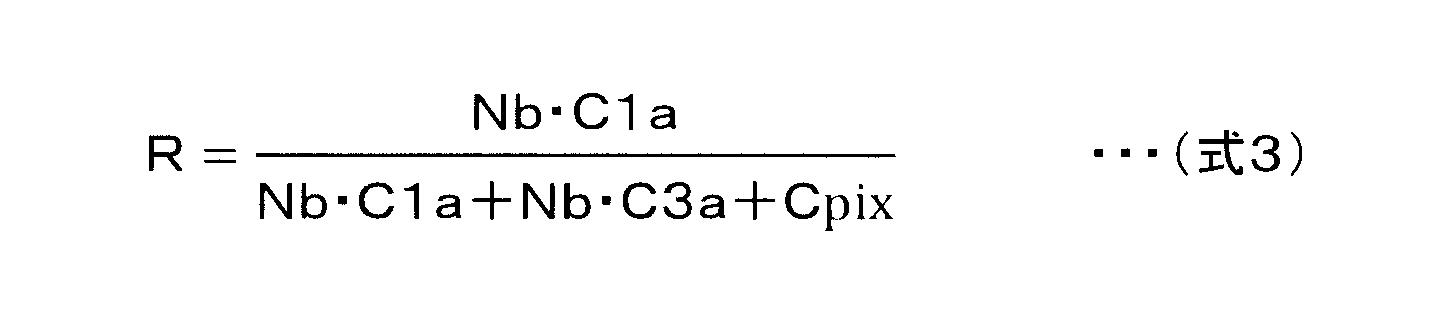
０の行数をＮbと表す。

　　【数２】



ここでΔＶとΔＶｇとの比を、下記の(式３）で示すように圧縮率Ｒとする。

　　【数３】



　つまり、書込期間における駆動トランジスター１２１のゲートｇの電位Ｖｇは、補償期

間における電位Ｖｇから、第１データ転送線１４－１及び第１電極１３３－１の電位の変

化量ΔＶに対して、Ｒを乗じた値だけレベルシフトした（データ圧縮された）値となる。

この書込期間を終えると、後述する発光期間が開始する。

　【００６８】

　上述した（式２）に示される関係から、一本の第２データ転送線１４－２に対して接続

する画素回路１１０の個数Ｎbが多いほど（１ブロック内に含まれる画素回路１１０の個

数Ｎbが多いほど）、ΔＶｇとΔＶとは近い値になる。換言すれば、Ｎbの値が大きいほど

、（式４）に示すＲは１に近づく。

　ここで、第２データ転送線１４－２に接続する画素回路１１０の個数Ｎb（１ブロック

内に含まれる画素回路１１０の個数Ｎb）は、補償動作の完了に要する時間と、データ圧

縮の圧縮率と、を鑑みて決定することが好ましい。以下、具体的に説明する。

　まず、補償動作の完了に要する時間について説明する。補償期間を終えた時点の駆動ト

ランジスター１２１のゲートｇの電位Ｖｇ（補償点）が、階調電圧の中間階調に設定され

ていることが好ましいところ、Ｎbの値が小さいほど、駆動トランジスター１２１のゲー

トｇに付随する寄生容量が小さくなるため、補償期間が極端に短くなってしまい、結果と

して走査信号Ｇwr(m)の立上がり（立下り）におけるなまりの影響を受けて、走査信号Ｇw

r(m)を供給する側と供給される側とで補償期間が異なってしまう虞がある。この場合、当

該虞をなくす程度に駆動能力の高い走査線駆動回路６が必要となってしまう。

　また、データ圧縮の圧縮率については、（式２）に示されるように、Ｎbの値が小さい

ほど圧縮率が大きくなり、逆にＮbの値が大きいほど圧縮率は小さくなる。

　従って、補償動作の完了に要する時間と、データ圧縮の圧縮率とを鑑みて、Ｎbの値を

適切な値に決定することが好ましい。例えば全行数Ｍが７２０行の場合、Ｎbを９０個と

し、総ブロック数Ｋを８個としてもよい。

　【００６９】

＜非発光期間＞

　図７のタイミングチャートに示されるように、走査信号Ｇwr(m1)がＬレベルからＨレベ

ルに立ち上がり、書込期間を終えると、１水平走査期間（Ｈ）の残りの期間及び次の１水

平走査期間（Ｈ）は、非発光期間となる。非発光期間においては、全てのトランジスター

がオフとなり、制御信号Ｇorst(m1)はＬレベルである。

　【００７０】

＜発光期間＞

　非発光期間を終えると、発光期間が開始する。図７のタイミングチャートに示されるよ

うに、ｍ１行目の発光期間では、走査信号Ｇwr(m1)がＨレベルであり、制御信号Ｇel(m1)

はＬレベルであり、制御信号Ｇcmp(m1)はＨレベルであり、制御信号Ｇfix(k)はＨレベル

である。制御信号Ｇorst(m1)はＨレベルである。

　このため、図１２に示されるようにｍ１行（３ｎ－２）列の画素回路１１０においては

、第４トランジスター１２４がオンする一方、第２トランジスター１２２、第３トランジ

スター１２３，第５トランジスター１２５，第１トランジスター１２６がオフする。これ

により、駆動トランジスター１２１は、画素容量１３２によって保持された電圧、すなわ

ちゲート・ソース間の電圧Ｖgsに応じた駆動電流Ｉdsを、ＯＬＥＤ１３０に供給する。つ

まり、ＯＬＥＤ１３０は、駆動トランジスター１２１によって各画素の指定階調に応じた

階調電位に応じた電流が供給され、当該電流に応じた輝度で発光する。

　【００７１】

　ここで、発光期間においてデータ転送回路ＤＴでは、制御信号/ＧiniがＨレベルになり

、制御信号ＧiniがＬレベルになるので図１２に示されるようにトランスミッションゲー

ト４５がオフし、制御信号ＧcplがＬレベルになり、制御信号/ＧcplがＨレベルになるの

で、トランスミッションゲート４２がオフする。また、発光期間におけるデマルチプレク

サＤＭ（ｎ）では、制御信号Ｓel（1）がＬレベルになり、制御信号/Ｓel（1）がＨレベ

ルになるので、トランスミッションゲート３４がオフする。

　【００７２】

　なお、ｍ１行目の発光期間は、ｍ１行目以外が水平走査されている期間であるから、ト

ランスミッションゲート３４、トランスミッションゲート４２、トランスミッションゲー

ト４５はこれらの行の動作に合わせてオン又はオフするので、第１データ転送線１４－１

及び第２データ転送線１４－２の電位は適宜変動する。特に、第１トランジスター１２６

、第２トランジスター１２２、及び第３トランジスター１２３がオフの場合には、第２デ

ータ転送線１４－２は、フローティングの状態となり、電位が変動し易い。

　【００７３】

　そこで、本実施形態においては、一つのブロックＢにおける発光期間に、第１トランジ

スター１２６をオンさせることにより、第１データ転送線１４－１と第２データ転送線１

４－２とを導通状態にして、第２データ転送線１４－２に初期電位Ｖiniを供給する期間

を設ける。

　ｍ１行目やｍ２行目等の画素回路１１０が属するブロックをブロックＢ（ｍ）とすると

、ブロックＢ（ｍ）の次のブロックであるブロックＢ（ｎ）における初期化期間は、ブロ

ックＢ（ｍ）においては発光期間である。本実施形態では、例えば、前記ブロックＢ（ｍ

）の次のブロック（ｎ）を一のブロックとし、前記ブロックＢ（ｍ）を他のブロックとす

ると、一のブロックであるブロックＢ（ｎ）における初期化期間であって、他のブロック

であるブロックＢ（ｍ）における発光期間に、第１トランジスター１２６をオンさせて第

１データ転送線１４－１と第２データ転送線１４－２とを導通状態にして、第２データ転

送線１４－２に初期電位Ｖiniを供給する。

　【００７４】

　図１３に示されるように、時刻ｔ１から時刻ｔ４までの期間では、ブロックＢ（ｍ）に

おいて初期化期間、補償期間、書込期間の処理が実行される。

　時刻ｔ５から時刻ｔ６では、ブロックＢ（ｍ）の次のブロックであるブロックＢ（ｎ）

において初期化期間の処理が実行されるが、この期間はブロックＢ（ｍ）においては発光

期間である。しかし、本実施形態においては、ブロックＢ（ｎ）において初期化期間の処

理が実行される際に、ブロックＢ（ｍ）を始めとして他のブロックＢにおいて、制御信号

ＧfixをＬレベルにする。その結果、図１４に示すように、第１トランジスター１２６が

オンし、ブロックＢ（ｍ）を始めとして他のブロックＢにおいて、第１データ転送線１４

－１と第２データ転送線１４－２とが導通状態となって、第２データ転送線１４－２に初

期電位Ｖiniが供給されることになる。

　【００７５】

　以下、同様にして、ブロックＢ（ｎ）において初期化期間の処理が実行される時刻ｔ８

から時刻ｔ９までの期間、時刻ｔ１１から時刻ｔ１２までの期間、及び時刻ｔ１４から時

刻ｔ１５までの期間では、ブロックＢ（ｍ）を始めとして他のブロックＢにおいて、制御

信号ＧfixをＬレベルにする。その結果、図１４に示すように、第１トランジスター１２

６がオンし、ブロックＢ（ｍ）を始めとして他のブロックＢにおいて、第１データ転送線

１４－１と第２データ転送線１４－２とが導通状態となって、第２データ転送線１４－２

に初期電位Ｖiniが供給されることになる。

　【００７６】

　以上のように、本実施形態によれば、発光期間中にフローティングノードになる第２ト

ランジスター１２２の転送容量１３３側の第２データ転送線１４－２を、他のブロックで

初期化期間の処理が行われる期間において固定電位の初期電位Ｖiniに設定するので、第

２データ転送線１４－２の電位が電源電圧に近づくことを抑えることができる。その結果

、第２トランジスター１２２がオンすることがなく、画素容量１３２において電圧が保持

され、表示の不具合を発生させることがない。

　【００７７】

＜構造＞

　次に、本実施形態における電気光学装置１の具体的な構造を以下に詳述する。なお、以

下の説明で参照する各図面では、説明の便宜のために、各要素の寸法や縮尺を実際の電気

光学装置１とは相違させている。図１５及び図１６は、電気光学装置１の各要素を形成す

る各段階での基板１０の表面の様子を画素回路１１０の１個分に着目して図示した平面図

である。図１７は、電気光学装置１の断面図である。図１５及び図１６のI－I’線を含む

断面に対応した断面図が図１７に相当する。なお、図１５及び図１６の平面図であるが、

各要素の視覚的な把握を容易化する観点から、図１７と共通する各要素に図１７と同態様

のハッチングが便宜的に付加されている。

　【００７８】

　図１５のアクティブ層を示す部分及び図１７から理解される通り、珪素等の半導体材料

で形成された基板１０の表面には、画素回路１１０の各トランジスター１２１，１２２，

１２３，１２４，１２５，１２６の能動領域１０Ａ（ソース／ドレイン領域）が形成され

る。能動領域１０Ａにはイオンが注入される。画素回路１１０の各トランジスター１２１

，１２２，１２３，１２４，１２５，１２６のアクティブ層はソース領域とドレイン領域

との間に存在し、能動領域１０Ａとは別種類のイオンが注入されるが、便宜的に能動領域

１０Ａと一体に記載している。

　図１５のゲート層を示す部分及び図１７から理解される通り、能動領域１０Ａが形成さ

れた基板１０の表面は絶縁膜Ｌ０（ゲート絶縁膜）で被覆され、各トランジスター１２１

，１２２，１２３，１２４，１２５，１２６のゲート層ＧＴ（ＧＴdr，ＧＴwr，ＧＴcmp

，ＧＴel，ＧＴorst，ＧＴfix）が絶縁膜Ｌ０の面上に形成される。各トランジスター１

２１，１２２，１２３，１２４，１２５，１２６のゲート層ＧＴは、絶縁膜Ｌ０を挟んで

アクティブ層に対向する。

　【００７９】

　図１７から理解される通り、各トランジスター１２１，１２２，１２３，１２４，１２

５，１２６のゲート層ＧＴが形成された絶縁膜Ｌ０の面上には、複数の絶縁層Ｌ（ＬＡ～

ＬＨ）と複数の導電層（配線層）とを交互に積層した多層配線層が形成される。各絶縁層

Ｌは、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機材料で形成

される。なお、以下の説明では、導電層（単層または複数層）の選択的な除去により複数

の要素が同一工程で一括的に形成される関係を「同層から形成される」と表記する。

　【００８０】

　絶縁層ＬＡは、各トランジスター１２１，１２２，１２３，１２４，１２５，１２６の

ゲート層ＧＴが形成された絶縁膜Ｌ０の面上に形成される。図１５の金属層Ａを示す部分

及び図１７から理解される通り、絶縁層ＬＡの面上には、複数の中継電極ＱＡ（ＱＡ１～

Ｑ１２）が形成される。

　【００８１】

　図１５の金属層Ａを示す部分及び図１７から理解される通り、中継電極ＱＡ１は、絶縁

膜Ｌ０と絶縁層ＬＡとを貫通する導通孔ＨＡ２を介して第１トランジスター１２６のドレ

イン領域またはソース領域を形成する能動領域１０Ａに導通する。中継電極ＱＡ２は、絶

縁層ＬＡを貫通する導通孔ＨＢ１を介して第１トランジスター１２６のゲート層ＧＴfix

に導通する。中継電極ＱＡ３は、絶縁膜Ｌ０と絶縁層ＬＡとを貫通する導通孔ＨＡ１を介

して第１トランジスター１２６のドレイン領域またはソース領域を形成する能動領域１０

Ａに導通する。また、中継電極ＱＡ３は、絶縁膜Ｌ０と絶縁層ＬＡとを貫通する導通孔Ｈ

Ａ７を介して第３トランジスター１２３のドレイン領域またはソース領域を形成する能動

領域１０Ａに導通する。さらに、中継電極ＱＡ３は、絶縁膜Ｌ０と絶縁層ＬＡとを貫通す

る導通孔ＨＡ９を介して第２トランジスター１２２のドレイン領域またはソース領域を形

成する能動領域１０Ａに導通する。以上のように、中継電極ＱＡ３はソース電極であり、

第１トランジスター１２６のドレイン領域またはソース領域を形成する能動領域１０Ａ、

第３トランジスター１２３のドレイン領域またはソース領域を形成する能動領域１０Ａ、

及び第２トランジスター１２２のドレイン領域またはソース領域を形成する能動領域１０

Ａに直接接して形成される電極である。

　【００８２】

　中継電極ＱＡ４は、絶縁膜Ｌ０と絶縁層ＬＡとを貫通する導通孔ＨＡ４を介して第５ト

ランジスター１２５のドレイン領域またはソース領域を形成する能動領域１０Ａに導通す

る。中継電極ＱＡ５は、絶縁層ＬＡを貫通する導通孔ＨＢ２を介して第５トランジスター

１２５のゲート層ＧＴorstに導通する。中継電極ＱＡ６は、絶縁層ＬＡと絶縁膜Ｌ０とを

貫通する導通孔ＨＡ３を介して第５トランジスター１２５のドレイン領域またはソース領

域を形成する能動領域１０Ａに導通する。

　【００８３】

　また、中継電極ＱＡ６は、絶縁層ＬＡと絶縁膜Ｌ０とを貫通する導通孔ＨＡ５を介して

第４トランジスター１２４のドレイン領域またはソース領域を形成する能動領域１０Ａに

導通する。中継電極ＱＡ７は、絶縁層ＬＡを貫通する導通孔ＨＢ３を介して第４トランジ

スター１２４のゲート層ＧＴelに導通する。中継電極ＱＡ８は、絶縁層ＬＡと絶縁膜Ｌ０

とを貫通する導通孔ＨＡ６を介して第４トランジスター１２４のドレイン領域またはソー

ス領域を形成する能動領域１０Ａに導通する。また、中継電極ＱＡ８は、絶縁層ＬＡと絶

縁膜Ｌ０とを貫通する導通孔ＨＡ８を介して第３トランジスター１２３のドレイン領域ま

たはソース領域を形成する能動領域１０Ａに導通する。さらに、中継電極ＱＡ８は、絶縁

層ＬＡと絶縁膜Ｌ０とを貫通する導通孔ＨＡ１２を介して駆動トランジスター１２１のド

レイン領域またはソース領域を形成する能動領域１０Ａに導通する。以上のように、中継

電極ＱＡ６はソース電極であり、第４トランジスター１２４のドレイン領域またはソース

領域を形成する能動領域１０Ａに直接接して形成される電極である。また、中継電極ＱＡ

８もソース電極であり、第４トランジスター１２４のドレイン領域またはソース領域を形

成する能動領域１０Ａ、第３トランジスター１２３のドレイン領域またはソース領域を形

成する能動領域１０Ａ、及び駆動トランジスター１２１のドレイン領域またはソース領域

を形成する能動領域１０Ａに直接接して形成される電極である。

　【００８４】

　中継電極ＱＡ９は、絶縁層ＬＡを貫通する導通孔ＨＢ４を介して第３トランジスター１

２３のゲート層ＧＴcmpに導通する。中継電極ＱＡ１０は、絶縁層ＬＡを貫通する導通孔

ＨＢ５を介して第２トランジスター１２２のゲート層ＧＴwrに導通する。中継電極ＱＡ１

１は、絶縁層ＬＡと絶縁膜Ｌ０とを貫通する導通孔ＨＡ１０を介して第２トランジスター

１２２のドレイン領域またはソース領域を形成する能動領域１０Ａに導通する。また、中

継電極ＱＡ１１は、絶縁層ＬＡを貫通する導通孔ＨＢ６を介して駆動トランジスター１２

１のゲート層ＧＴdrに導通する。中継電極ＱＡ１２は、絶縁層ＬＡと絶縁膜Ｌ０とを貫通

する導通孔ＨＡ１１を介して駆動トランジスター１２１のドレイン領域またはソース領域

を形成する能動領域１０Ａに導通する。

　【００８５】

　絶縁層ＬＢは、複数の中継電極ＱＡ（ＱＡ１，ＱＡ２，ＱＡ３，ＱＡ４，ＱＡ５，ＱＡ

６，ＱＡ７，ＱＡ８，ＱＡ９，ＱＡ１０，ＱＡ１１，ＱＡ１２）が形成された絶縁層ＬＡ

の面上に形成される。図１５の金属層Ｂを示す部分及び図１７から理解される通り、絶縁

層ＬＢの面上には、走査線１２、給電線１１６、複数の制御線１４３～１４６、及び複数

の中継電極ＱＢ（ＱＢ１，ＱＢ２，ＱＢ３，ＱＢ４）が形成される。

　図１５の金属層Ｂを示す部分及び図１７から理解される通り、第１の導電線の一例とし

ての走査線１２は、絶縁層ＬＢを貫通する導通孔ＨＣ９を介して第２トランジスター１２

２のゲート層ＧＴwrに導通する。走査線１２は、複数の画素回路１１０にわたり第２トラ

ンジスター１２２のチャネル長の方向（Ｘ方向）に沿って延在する。

　【００８６】

　給電線１１６は、多層配線層内の配線（図示略）を介して、高位側の電源電位Ｖｅｌが

供給される実装端子に導通する。給電線１１６は、例えば銀やアルミニウムを含有する導

電材料で例えば１００ｎｍ程度の膜厚に形成される。給電線１１６は、絶縁層ＬＢを貫通

する導通孔ＨＣ１０を介して駆動トランジスター１２１のドレイン領域またはソース領域

を形成する能動領域１０Ａに導通する。給電線１１６は、複数の画素回路１１０にわたり

駆動トランジスター１２１のチャネル長の方向（Ｘ方向）に沿って延在する。給電線１１

６は、絶縁層ＬＣにより、後述する転送容量１３３の第２電極１３３－２からは電気的に

絶縁される。

　制御線１４３は、図１５の金属層Ｂを示す部分及び図１７から理解される通り、絶縁層

ＬＢを貫通する導通孔ＨＣ７と、中継電極ＱＡ９と、絶縁層ＬＡを貫通するＨＢ４とを介

して第３トランジスター１２３のゲート層ＧＴcmpに導通する。また、制御線１４３は、

第３トランジスター１２３のチャネル長の方向（Ｘ方向）に沿って延在する。

　【００８７】

　制御線１４４は、図１５の金属層Ｂを示す部分及び図１７から理解される通り、絶縁層

ＬＢを貫通する導通孔ＨＣ６と、中継電極ＱＡ７と、絶縁層ＬＡを貫通するＨＢ３とを介

して第４トランジスター１２４のゲート層ＧＴelに導通する。また、制御線１４４は、第

４トランジスター１２４のチャネル長の方向（Ｘ方向）に沿って延在する。

　制御線１４５は、絶縁層ＬＢを貫通する導通孔ＨＣ３と、中継電極ＱＡ５と、絶縁層Ｌ

Ａを貫通するＨＢ２とを介して第５トランジスター１２５のゲート層ＧＴorstに導通する

。また、制御線１４５は、第５トランジスター１２５のチャネル長の方向（Ｘ方向）に沿

って延在する。

　制御線１４６は、絶縁層ＬＢを貫通する導通孔ＨＣ２と、中継電極ＱＡ２と、絶縁層Ｌ

Ａを貫通するＨＢ１とを介して第１トランジスター１２６のゲート層ＧＴfixに導通する

。また、制御線１４６は、第１トランジスター１２６のチャネル長の方向（Ｘ方向）に沿

って延在する。

　【００８８】

　中継電極ＱＢ１は、図１５の金属層Ｂ及び金属層Ａの部分から理解される通り、絶縁層

ＬＢを貫通する導通孔ＨＣ１を介して中継電極ＱＡ１に導通される。中継電極ＱＢ２は、

絶縁層ＬＢを貫通する導通孔ＨＣ４を介して中継電極ＱＡ４に導通される。中継電極ＱＢ

３は、絶縁層ＬＢを貫通する導通孔ＨＣ５を介して中継電極ＱＡ６に導通される。中継電

極ＱＢ４は、絶縁層ＬＢを貫通する導通孔ＨＣ８を介して中継電極ＱＡ３に導通される。

　【００８９】

　絶縁層ＬＣは、走査線１２と、複数の制御線１４３～１４６と、複数の中継電極ＱＢ（

ＱＢ１，ＱＢ２，ＱＢ３，ＱＢ４）とが形成された絶縁層ＬＢの面上に形成される。図１

５の金属層Ｃの部分及び図１７から理解される通り、絶縁層ＬＣの面上には、第２データ

転送線１４－２と、転送容量１３３の第２電極１３３－２と、複数の中継電極ＱＣ（ＱＣ

１，ＱＣ２，ＱＣ３）とが形成される。

　第３の導電層の一例としての第２データ転送線１４－２は、複数の画素回路１１０にわ

たりＹ方向に沿って延在する。第２データ転送線１４－２は、絶縁層ＬＣを貫通する導通

孔ＨＤ４と、中継電極ＱＢ４と、絶縁層ＬＢを貫通する導通孔ＨＣ８と、中継電極ＱＡ３

とを介して、第２トランジスター１２２のドレイン領域またはソース領域を形成する能動

領域１０Ａに導通される。また、第２データ転送線１４－２は、第３トランジスター１２

３のドレイン領域またはソース領域を形成する能動領域１０Ａと、第１トランジスター１

２６のドレイン領域またはソース領域を形成する能動領域１０Ａとに導通される。

　転送容量（第１容量）１３３の第５の導電層の一例としての第２電極１３３－２は、画

素回路１１０において、走査線１２、制御線１４３、及び制御線１４４を覆う矩形の電極

であり、第２データ転送線１４－２と一体に形成される。

　【００９０】

　図１５及び図１７から理解される通り、中継電極ＱＣ１は、絶縁層ＬＣを貫通する導通

孔ＨＤ１を介して中継電極ＱＢ１に導通される。中継電極ＱＣ２は、絶縁層ＬＣを貫通す

る導通孔ＨＤ２を介して中継電極ＱＢ２に導通される。中継電極ＱＣ３は、絶縁層ＬＣを

貫通する導通孔ＨＤ３を介して中継電極ＱＢ３に導通される。

　【００９１】

　絶縁層ＬＤは、第２データ転送線１４－２と、転送容量１３３の第２電極１３３－２と

、複数の中継電極ＱＣ（ＱＣ１，ＱＣ２，ＱＣ３）とが形成された絶縁層ＬＣの面上に形

成される。図１５の容量電極層の部分及び図１７から理解される通り、絶縁層ＬＤの面上

には、転送容量１３３の第１電極１３３－１が形成される。

　転送容量（第１容量）１３３の第４の導電層の一例としての第１電極１３３－１は、絶

縁層ＬＤを介して第２電極１３３－２と対向する矩形の容量電極である。第１電極１３３

－１は、絶縁層ＬＤを介して第２電極１３３－２と対向する。このように、転送容量１３

３は、金属である第１電極１３３－１と、絶縁層ＬＤと、金属である第２電極１３３－２

とから構成され、ＭＩＭ(Metal-Insulator-Metal)構造を有している。したがって、転送

容量１３３は、大容量化が容易である。また、転送容量１３３は、画素回路１１０の表示

領域内に形成されるので、電気光学装置の小型化を図ることができる。

　【００９２】

　絶縁層ＬＥは、転送容量１３３の第１電極１３３－１が形成された絶縁層ＬＤの面上に

形成される。図１６の金属層Ｄの部分及び図１７から理解される通り、絶縁層ＬＥの面上

には、第１データ転送線１４－１と、給電線１６と、中継電極ＱＤ１が形成される。

　第２の導電層の一例としての第１データ転送線１４－１は、複数の画素回路１１０にわ

たりＹ方向に沿って延在する。第１データ転送線１４－１は、絶縁層ＬＥを貫通する導通

孔ＨＦ１，ＨＦ２，ＨＦ３を介して、転送容量１３３の第１電極１３３－１に導通される

。また、第１データ転送線１４－１は、絶縁層ＬＥ及び絶縁層ＬＤを貫通する導通孔ＨＥ

１と、中継電極ＱＣ１と、絶縁層ＬＣを貫通する導通孔ＨＤ１と、中継電極ＱＢ１と、絶

縁層ＬＢを貫通する導通孔ＨＣ１と、中継電極ＱＡ１と、絶縁層ＬＡ及び絶縁膜Ｌ０を貫

通する導通孔ＨＡ２とを介して、第１トランジスター１２６のドレイン領域またはソース

領域を形成する能動領域１０Ａとに導通される。

　【００９３】

　第６の導電層としての給電線１６は、複数の画素回路１１０にわたりＹ方向に沿って延

在する。給電線１６は、絶縁層ＬＥ及び絶縁層ＬＤを貫通する導通孔ＨＥ２と、中継電極

ＱＣ２と、絶縁層ＬＣを貫通する導通孔ＨＤ２と、中継電極ＱＢ２と、絶縁層ＬＢを貫通

する導通孔ＨＣ４と、中継電極ＱＡ４と、絶縁層ＬＡ及び絶縁膜Ｌ０を貫通する導通孔Ｈ

Ａ４とを介して、第５トランジスター１２５のドレイン領域またはソース領域を形成する

能動領域１０Ａとに導通される。中継電極ＱＤ１は、絶縁層ＬＥを貫通する導通孔ＨＥ３

を介して、中継電極ＱＣ３に導通される。

　また、給電線１６は、第１データ転送線１４－１と同層に形成され、絶縁層ＬＦを介し

て、第１データ転送線１４－１との間に所定の間隙を有して配置される。このようにして

シールド容量（第２容量）１３４が形成され、第１データ転送線１４－１はシールド線と

しての給電線１６によってシールドされることになる。

　【００９４】

　絶縁層ＬＦは、第１データ転送１４－１と、給電線１６と、中継電極ＱＤ１とが形成さ

れた絶縁層ＬＥの面上に形成される。図１６の反射層の部分及び図１７から理解される通

り、絶縁層ＬＦの面上には、反射層５０が形成される。反射層５０は、画素回路１１０毎

に個別に形成されている。反射層５０は、例えば銀やアルミニウムを含有する光反射性の

導電材料で例えば１００ｎｍ程度の膜厚に形成される。図１６の反射層の部分及び図１７

から理解されるように、反射層５０は、絶縁層ＬＦを貫通する導通孔ＨＧ１を介して中継

電極ＱＤ１に導通する。中継電極ＱＤ１は、導通孔ＨＥ３、中継電極ＱＣ３、導通孔ＨＤ

３、中継電極ＱＢ３、導通孔ＨＣ５、中継電極ＱＡ６、導通孔ＨＡ５、及び導通孔ＨＡ３

を介して、第４トランジスター１２４のドレイン領域またはソース領域、及び第５トラン

ジスター１２４のドレイン領域またはソース領域と導通される。

　【００９５】

　反射層５０が形成された絶縁層ＬＦの面上には、図１７に示される通り、光路調整層Ｌ

Ｇが形成される。光路調整層ＬＧは、各画素回路１１０の共振構造の共振波長（すなわち

表示色）を規定する光透過性の膜体である。表示色が同じ画素では、共振構造の共振波長

は略同じであり、表示色が異なる画素では、共振構造の共振波長は異なるように設定され

る。

　【００９６】

　図１６の画素電極層の部分及び図１７に示される通り、光路調整層ＬＧの面上には、画

素回路１１０毎のアノード１３０ａが形成される。アノード１３０ａは、例えばＩＴＯ（

Indium Tin Oxide）等の光透過性の導電材料で形成される。アノード１３０ａは、光路調

整層ＬＧを貫通する導通孔ＨＨ１を介して、反射層５０と導通する。したがって、アノー

ド１３０ａは、反射層５０を介して第４トランジスター１２４のドレイン領域またはソー

ス領域、及び第５トランジスター１２４のドレイン領域またはソース領域と導通する。

　【００９７】

　アノード１３０ａが形成された光路調整層ＬＧの面上には、図１６の画素定義膜の部分

及び図１７に例示される通り、基板１０の全域にわたり画素定義膜５１が形成される。画

素定義膜５１は、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機

材料で形成される。図１６の画素定義膜の部分から理解される通り、画素定義膜５１には

、各アノード１３０ａに対応する開口部５１Ａが形成される。画素定義膜５１のうち開口

部５１Ａの内周縁の近傍の領域はアノード１３０ａの周縁に重なる。すなわち、開口部５

１Ａの内周縁は平面視でアノード１３０ａの周縁の内側に位置する。各開口部５１Ａは、

平面形状（矩形状）やサイズが共通し、かつ、Ｘ方向およびＹ方向の各々にわたり共通の

ピッチで行列状に配列する。以上の説明から理解される通り、画素定義膜５１は平面視で

格子状に形成される。尚、開口部５１Ａの平面形状やサイズは、表示色が同じであれば同

じであり、表示色が異なる場合は異なるようにしてもよい。また、開口部５１Ａのピッチ

は、表示色が同じ開口部同士では同じであり、表示色が異なる開口部間では異なるように

してもよい。

　【００９８】

　その他にも、詳細な説明は省略するが、アノード１３０ａの上層には、発光機能層、Ｏ

ＬＥＤ１３０のカソード、及び封止体が積層され、以上の各要素が形成された基板１０の

表面には封止基板（図示略）が例えば接着剤で接合される。封止基板は、基板１０上の各

要素を保護するための光透過性の板状部材（例えばガラス基板）である。なお、封止基板

の表面または封止体の表面に画素回路１１０毎にカラーフィルターを形成することも可能

である。

　【００９９】

　また、図示を省略するが、画素回路１１０には別の電源線層としての共通電極１１８が

形成される。共通電極１１８は、多層配線層内の配線（図示略）を介して、低位側の電源

電位Ｖｃｔが供給される実装端子に導通する。給電線１１６及び低位側の電源電位Ｖｃｔ

が供給される共通電極１１８は、例えば銀やアルミニウムを含有する導電材料で例えば１

００ｎｍ程度の膜厚に形成される。共通電極１１８は、アノード１３０ａと導通する。

　【０１００】

　上述したように、駆動トランジスター１２１のゲートｇに供給する電位Ｖｇのデータ圧

縮率を高めるためには、転送容量（第１容量）１３３を大きくすることが望ましいが、本

実施形態によれば、転送容量１３３を、それぞれ異なる層に形成された第１電極１３３－

１と、第２電極１３３－２と、これらの電極の間の絶縁層ＬＤとにより形成し、ＭＩＭ(M

etal-Insulator-Metal)構造を採るため、チップ面積の増大を防ぎつつ、転送容量１３３

の大容量化が可能である。また、転送容量１３３は、第２トランジスター１２２及び第３

トランジスター１２３のソース電極が形成される層よりも上層に形成されるので、画素回

路１１０の表示領域内に形成されることになり、チップ面積の増大を防ぐことができる。

　また、シールド容量（第２容量）１３４については、絶縁層ＬＦを介して、第１データ

転送線１４－１とシールド線としての給電線１６とを所定の間隙で配置することによって

形成する。したがって、シールド容量１３４は、２本の平行な配線によって形成されるの

で、Ｙ方向において所定の長さを有することになり、所定の容量を確保することができる

。また、シールド容量１３４についても画素回路１１０の表示領域内に形成されるので、

チップ面積の増大を防ぐことができる。

　【０１０１】

　本実施例では、画素回路１１０ごとに転送容量１３３を形成したが、第２データ転送線

１４－２ごとに転送容量１３３を形成するようにしてもよい。チップ面積の増大をさらに

防ぐことができる。

　【０１０２】

　図１５ないし図１７から理解されるように、本実施形態においては、供給される信号の

振幅が大きい第１データ転送線１４－１は、圧縮された信号が供給される第２データ信号

線１４－２よりも上層に形成されている。つまり、駆動トランジスター１２１のゲートに

対する、第１データ転送線１４－１に供給される振幅の大きい信号の影響が軽減され、駆

動トランジスター１２１のゲートの電位の変動を抑制して、表示品位を向上させることが

できる。

　【０１０３】

　また、図１５及び図１７から理解されるように、本実施形態においては、第２データ転

送線１４－２は、駆動トランジスター１２１、第１トランジスター１２６、第２トランジ

スター１２２、及び第３トランジスター１２３のソース電極が形成される層よりも上層に

形成される。したがって、チップ面積の増大を防ぐことができる。

　さらに、図１５及び図１７から理解されるように、駆動トランジスター１２１の第２電

流端に接続される電源線としての給電線１１６は、第２データ転送線１４－２よりも下層

に形成されるので、給電線１１６がシールドとして機能し、駆動トランジスター１２１の

ゲートの電位の変動をより一層効果的に抑制して、表示品位を向上させることができる。

　また、図１５から理解されるように、駆動トランジスター１２１は電源線としての給電

線１１６に覆われているので、給電線１１６がシールドとして機能し、駆動トランジスタ

ー１２１のゲートの電位の変動をより一層効果的に抑制して、表示品位を向上させること

ができる。

　【０１０４】

　図１５ないし図１７から理解されるように、転送容量１３３の第１電極１３３－１と第

２電極１３３－２は、第１データ転送線１４－１が形成される層とは異なる層に形成され

ている。したがって、小さな面積である程度の容量を確保するために絶縁層を薄くした場

合でも、短絡を発生せずに均一な層間を有する転送容量１３３を形成することができる。

　【０１０５】

　図１５の金属層Ａの部分に示すように、第１トランジスター１２６と第１データ転送線

１４－１との接続位置を点線の楕円Ａで示し、駆動トランジスター１２１の第１電流端と

第３トランジスター１２３との接続位置を点線の楕円Ｂで示す。また、第４トランジスタ

ー１２４と発光素子としてのＯＬＥＤ１３０との接続位置を点線の楕円Ｃで示す。このよ

うに示すと、画素回路の平面視においては、第１トランジスター１２６と第１データ転送

線１４－１との接続位置を点線の楕円Ａは、駆動トランジスター１２１の第１電流端と第

３トランジスター１２３との接続位置を点線の楕円Ｂよりも、第４トランジスター１２４

と発光素子としてのＯＬＥＤ１３０との接続位置を点線の楕円Ｃに近くなるように設定さ

れている。

　【０１０６】

　第１データ転送線１４－１には振幅の高い信号が供給され、第１トランジスター１２６

と第１データ転送線１４－１の接続位置（楕円Ａ）には、ノイズが発生する可能性がある

。しかし、第１トランジスター１２６と第１データ転送線１４－１の接続位置（楕円Ａ）

は、画素回路の平面視において、第４トランジスター１２４と発光素子としてのＯＬＥＤ

１３０との接続位置（楕円Ｃ）よりも、駆動トランジスター１２１の第１電流端と第３ト

ランジスター１２３との接続位置（楕円Ｂ）から遠い位置に設定されている。したがって

、第１トランジスター１２６と第１データ転送線１４－１の接続位置（楕円Ａ）にノイズ

が発生したとしても、駆動トランジスター１２１に対するノイズの影響を抑えることがで

き、表示品位を向上させることができる。

　【０１０７】

　また、第１トランジスター１２６と第１データ転送線１４－１の接続位置（楕円Ａ）、

駆動トランジスター１２１の第１電流端と第３トランジスター１２３との接続位置（楕円

Ｂ）、及び第４トランジスター１２４と発光素子としてのＯＬＥＤ１３０との接続位置（

楕円Ｃ）のそれぞれは、当該画素回路１１０における電源線としての給電線１１６と、Ｙ

方向に隣り合うブロックの画素回路１１０における電源線としての給電線１１６との間に

配置されることになる。したがって、給電線１１６がシールドとなり、ノイズの影響を低

減することができる。

　【０１０８】

　また、図１５に示すように、第１トランジスター１２６と第１データ転送線１４－１の

接続位置（楕円Ａ）は、リセット電位供給線としての給電線１６に接続される第５トラン

ジスター１２５のゲート層ＧＴorstに接続される制御線１４５と、第１トランジスター１

２６のゲート層ＧＴfixに接続それる制御線１４６との間に配置される。したがって、第

１データ転送線１４－１に振幅の高い信号が供給されてノイズが発生したとしても、制御

線１４５と制御線１４６がシールドとして機能し、駆動トランジスター１２１に対するノ

イズの影響を低減することができる。

　【０１０９】

　また、図１５に示すように、第４トランジスター１２４と発光素子としてのＯＬＥＤ１

３０との接続位置（楕円Ｃ）は、リセット電位供給線としての給電線１６に接続される第

５トランジスター１２５のゲート層ＧＴorstに接続される制御線１４５と、第４トランジ

スター１２４のゲート層ＧＴelに接続それる制御線１４４との間に配置される。したがっ

て、第１データ転送線１４－１に振幅の高い信号が供給されてノイズが発生したとしても

、制御線１４５と制御線１４４がシールドとして機能し、駆動トランジスター１２１に対

するノイズの影響を低減することができる。

　【０１１０】

＜第２実施形態＞

　次に、本発明の第２実施形態について添付図面の図１８ないし図２０を参照しつつ説明

する。なお、第１実施形態との共通箇所については、同一符号を付して説明を省略する。

　本実施形態の回路は、図４に示す第１実施形態の回路と同様である。本実施形態は、図

１８ないし図２０に示すように、各トランジスターの平面視上の配置が第１実施形態と異

なっている。但し、各配線の層上の位置関係は第１実施形態と同様である。

　【０１１１】

　本実施形態においても、図１８及び図２０から理解されるように、転送容量（第１容量

）１３３は、金属である第１電極１３３－１と、絶縁層ＬＤと、金属である第１電極１３

３－２とから形成され、ＭＬＭ(Metal-Insulator-Metal)構造により形成される。したが

って、転送容量１３３の大容量化が可能であり、駆動トランジスター１２１のゲートｇに

供給する電位Ｖｇのデータ圧縮率を高めることができる。また、転送容量１３３は、第２

トランジスター１２２及び第３トランジスター１２３のソース電極が形成される層よりも

上層に形成されるので、画素回路１１０の表示領域内に形成されることになり、チップ面

積の増大を防ぐことができる。

　【０１１２】

　図１９及び図２０から理解されるように、シールド容量（第２容量）１３４については

、絶縁層ＬＦを介して、第１データ転送線１４－１とシールド線としての給電線１６とを

所定の間隙で配置することによって形成する。したがって、シールド容量１３４は、２本

の平行な配線によって形成されるので、Ｙ方向において所定の長さを有することになり、

所定の容量を確保することができる。また、シールド容量１３４についても画素回路１１

０の表示領域内に形成されるので、チップ面積の増大を防ぐことができる。

　【０１１３】

　本実施例においても、画素回路１１０ごとに転送容量１３３を形成したが、第２データ

転送線１４－２ごとに転送容量１３３を形成するようにしてもよい。チップ面積の増大を

さらに防ぐことができる。

　【０１１４】

　図１８ないし図２０から理解されるように、本実施形態においては、供給される信号の

振幅が大きい第１データ転送線１４－１は、圧縮された信号が供給される第２データ信号

線１４－２よりも上層に形成されている。つまり、駆動トランジスター１２１のゲートに

対する、第１データ転送線１４－１に供給される振幅の大きい信号の影響が軽減され、駆

動トランジスター１２１のゲートの電位の変動を抑制して、表示品位を向上させることが

できる。

　【０１１５】

　また、図１８及び図２０から理解されるように、本実施形態においては、第２データ転

送線１４－２は、駆動トランジスター１２１、第１トランジスター１２６、第２トランジ

スター１２２、及び第３トランジスター１２３のソース電極が形成される層よりも上層に

形成される。したがって、チップ面積の増大を防ぐことができる。

　図１８に示す中継電極ＱＡ３はソース電極であり、第１トランジスター１２６のドレイ

ン領域またはソース領域を形成する能動領域１０Ａ、第３トランジスター１２３のドレイ

ン領域またはソース領域を形成する能動領域１０Ａ、及び第２トランジスター１２２のド

レイン領域またはソース領域を形成する能動領域１０Ａに直接接して形成される電極であ

る。

　また、図１８に示す中継電極ＱＡ８もソース電極であり、第４トランジスター１２４の

ドレイン領域またはソース領域を形成する能動領域１０Ａ、第３トランジスター１２３の

ドレイン領域またはソース領域を形成する能動領域１０Ａ、及び駆動トランジスター１２

１のドレイン領域またはソース領域を形成する能動領域１０Ａに直接接して形成される電

極である。

　さらに、図１８に示す中継電極ＱＡ１１もソース電極であり、第２トランジスター１２

２のドレイン領域またはソース領域を形成する能動領域１０Ａに直接接して形成される電

極である。　さらに、図１８及び図２０から理解されるように、駆動トランジスター１２

１の第２電流端に接続される電源線としての給電線１１６は、第２データ転送線１４－２

よりも下層に形成されるので、給電線１１６がシールドとして機能し、駆動トランジスタ

ー１２１のゲートの電位の変動をより一層効果的に抑制して、表示品位を向上させること

ができる。

　また、図１８から理解されるように、駆動トランジスター１２１は電源線としての給電

線１１６に覆われているので、給電線１１６がシールドとして機能し、駆動トランジスタ

ー１２１のゲートの電位の変動をより一層効果的に抑制して、表示品位を向上させること

ができる。

　【０１１６】

　図１８ないし図２０から理解されるように、転送容量１３３の第１電極１３３－１と第

２電極１３３－２は、第１データ転送線１４－１が形成される層とは異なる層に形成され

ている。したがって、小さな面積である程度の容量を確保するために絶縁層を薄くした場

合でも、短絡を発生せずに均一な層間を有する転送容量１３３を形成することができる。

　【０１１７】

　図１８の金属層Ａの部分に示すように、第１トランジスター１２６と第１データ転送線

１４－１との接続位置を点線の楕円Ａで示し、駆動トランジスター１２１の第１電流端と

第３トランジスター１２３との接続位置を点線の楕円Ｂで示す。また、第４トランジスタ

ー１２４と発光素子としてのＯＬＥＤ１３０との接続位置を点線の楕円Ｃで示す。このよ

うに示すと、一つの画素回路１１０内で見た場合には、第１トランジスター１２６と第１

データ転送線１４－１との接続位置を点線の楕円Ａは、第４トランジスター１２４と発光

素子としてのＯＬＥＤ１３０との接続位置を点線の楕円Ｃよりも、駆動トランジスター１

２１の第１電流端と第３トランジスター１２３との接続位置を点線の楕円Ｂに近くなって

いる。

　【０１１８】

　しかしながら、図２１及び図２２に示すように、Ｙ方向及びＸ方向に隣り合う異なる画

素回路１１０間で見た場合には、第１トランジスター１２６と第１データ転送線１４－１

との接続位置を点線の楕円Ａは、駆動トランジスター１２１の第１電流端と第３トランジ

スター１２３との接続位置を点線の楕円Ｂよりも、第４トランジスター１２４と発光素子

としてのＯＬＥＤ１３０との接続位置を点線の楕円Ｃに近くなっている。

　【０１１９】

　したがって、第１データ転送線１４－１には振幅の高い信号が供給され、第１トランジ

スター１２６と第１データ転送線１４－１の接続位置（楕円Ａ）にノイズが発生したとし

ても、駆動トランジスター１２１に対するノイズの影響を抑えることができ、表示品位を

向上させることができる。

　【０１２０】

　また、図２１及び図２２に示すように、Ｙ方向及びＸ方向に隣り合う異なる画素回路１

１０間で見た場合には、第１トランジスター１２６と第１データ転送線１４－１との接続

位置を点線の楕円Ａは、第５トランジスター１２５のゲートに接続される制御線１４５と

、駆動トランジスター１２６のゲートに接続される走査線１２との間に配置される。した

がって、駆動トランジスター１２６のゲートは、制御線１４５と走査線１２との間に配置

されることになり、制御線１４５と走査線１２とによりシールドされる。その結果、第１

データ転送線１４－１には振幅の高い信号が供給され、第１トランジスター１２６と第１

データ転送線１４－１の接続位置（楕円Ａ）にノイズが発生したとしても、駆動トランジ

スター１２１に対するノイズの影響を抑えることができ、表示品位を向上させることがで

きる。

　【０１２１】

　また、図１８に示すように、第１トランジスター１２６と第１データ転送線１４－１の

接続位置（楕円Ａ）、駆動トランジスター１２１の第１電流端と第３トランジスター１２

３との接続位置（楕円Ｂ）、及び第４トランジスター１２４と発光素子としてのＯＬＥＤ

１３０との接続位置（楕円Ｃ）のそれぞれは、当該画素回路１１０における電源線として

の給電線１１６と、Ｙ方向に隣り合うブロックの画素回路１１０における電源線としての

給電線１１６との間に配置されることになる。したがって、給電線１１６がシールドとな

り、ノイズの影響を低減することができる。

　【０１２２】

　また、図１８に示すように、第１トランジスター１２６と第１データ転送線１４－１の

接続位置（楕円Ａ）は第３トランジスター１２３のゲート層ＧＴcmpに接続される制御線

１４３と、第１トランジスター１２６のゲート層ＧＴfixに接続それる制御線１４６との

間に配置される。したがって、第１データ転送線１４－１に振幅の高い信号が供給されて

ノイズが発生したとしても、制御線１４３と制御線１４６がシールドとして機能し、駆動

トランジスター１２１に対するノイズの影響を低減することができる。

　【０１２３】

　また、図１８に示すように、第４トランジスター１２４と発光素子としてのＯＬＥＤ１

３０との接続位置（楕円Ｃ）は、リセット電位供給線としての給電線１６に接続される第

５トランジスター１２５のゲート層ＧＴorstに接続される制御線１４５と、第４トランジ

スター１２４のゲート層ＧＴelに接続それる制御線１４４との間に配置される。したがっ

て、第１データ転送線１４－１に振幅の高い信号が供給されてノイズが発生したとしても

、制御線１４５と制御線１４４がシールドとして機能し、駆動トランジスター１２１に対

するノイズの影響を低減することができる。

　【０１２４】

＜第３実施形態＞

　次に、本発明の第３実施形態について添付図面の図２３ないし図２６を参照しつつ説明

する。上述した各実施形態においては、６個のトランジスターを用いたが、本実施形態で

は、５個のトランジスターを用いる。

　【０１２５】

＜回路図＞

　図２３に示すように、本実施形態においては、第５トランジスター１２５が設けられて

いない構成が、上述した各実施形態と異なっている。また、第１トランジスター１２６の

ドレインまたはソースには、初期電位Ｖiniが供給される給電線１７が接続されている。

また、第１データ転送線１４－１には、トランスミッションゲート４５を介して、第１デ

ータ転送線１４－１を初期化する電圧Ｖrefが供給される。電圧Ｖrefは、初期電位Ｖini

と同じであってもよい。

　本実施形態における動作は、上述した各実施形態と同様であり、発光期間中にフローテ

ィングノードになる第２トランジスター１２２の転送容量１３３側の第２データ転送線１

４－２を、他のブロックで初期化期間の処理が行われる期間において固定電位の初期電位

Ｖiniに設定するので、第２データ転送線１４－２の電位が電源電圧に近づくことを抑え

ることができる。その結果、第２トランジスター１２２がオンすることがなく、画素容量

１３２において電圧が保持され、表示の不具合を発生させることがない。

　【０１２６】

＜構造＞

　次に、第３実施形態の電気光学装置１の具体的な構造を以下に詳述する。なお、以下の

説明で参照する各図面では、説明の便宜のために、各要素の寸法や縮尺を実際の電気光学

装置１とは相違させている。図２４及び図２５は、電気光学装置１の各要素を形成する各

段階での基板１０の表面の様子を画素回路１１０の１個分に着目して図示した平面図であ

る。図２６は、電気光学装置１の断面図である。図２４及び図２５のI－I’線を含む断面

に対応した断面図が図２６に相当する。なお、図２４及び図２５は平面図であるが、各要

素の視覚的な把握を容易化する観点から、図２６と共通する各要素に図２６と同態様のハ

ッチングが便宜的に付加されている。

　【０１２７】

　図２６及び図２４のアクティブ層の部分から理解される通り、珪素等の半導体材料で形

成された基板１０の表面には、画素回路１１０の各トランジスター１２１，１２２，１２

３，１２４，１２６の能動領域１０Ａ（ソース／ドレイン領域）が形成される。能動領域

１０Ａにはイオンが注入される。画素回路１１０の各トランジスター１２１，１２２，１

２３，１２４，１２６のアクティブ層はソース領域とドレイン領域との間に存在し、能動

領域１０Ａとは別種類のイオンが注入されるが、便宜的に能動領域１０Ａと一体に記載し

ている。また、本実施形態においては、画素容量１３２を構成する領域においても能動領

域１０Ａが形成され、能動領域１０Ａには不純物が注入されて電源に接続される。そして

、能動領域１０Ａを一方の電極とし、絶縁層を介して形成された容量電極を他方の電極と

するいわゆるＭＯＳ容量を構成する。また、画素容量１３２を構成する領域における能動

領域１０Ａは電源電位部としても機能する。図２４のアクティブ層の部分から理解される

通り、第３トランジスター１２３の能動領域１０Ａは導通孔ＨＡ１３が設けられた部分に

おいて、第２トランジスター１２２の能動領域１０Ａとつながっている。したがって、第

３トランジスター１２３の電流端は、第２トランジスター１２２の電流端としても機能す

る。図２４のゲート層の部分及び図２６から理解される通り、能動領域１０Ａが形成され

た基板１０の表面は絶縁膜Ｌ０（ゲート絶縁膜）で被覆され、各トランジスター１２１，

１２２，１２３，１２４，１２６のゲート層ＧＴ（ＧＴdr，ＧＴwr，ＧＴcmp，ＧＴel，

ＧＴfix）が絶縁膜Ｌ０の面上に形成される。各トランジスター１２１，１２２，１２３

，１２４，１２６のゲート層ＧＴは、絶縁膜Ｌ０を挟んでアクティブ層に対向する。

　また、図２４のゲート層の部分に例示される通り、駆動トランジスター１２１のゲート

層ＧＴdrは、容量素子を構成する領域に形成された能動領域１０Ａまで延びて形成され、

画素容量１３２を構成している。

　【０１２８】

　図２６から理解される通り、各トランジスター１２１，１２２，１２３，１２４，１２

６のゲート層ＧＴ及び画素容量１３２が形成された絶縁膜Ｌ０の面上には、複数の絶縁層

Ｌ（ＬＡ～ＬＨ）と複数の導電層（配線層）とを交互に積層した多層配線層が形成される

。各絶縁層Ｌは、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機

材料で形成される。なお、以下の説明では、導電層（単層または複数層）の選択的な除去

により複数の要素が同一工程で一括的に形成される関係を「同層から形成される」と表記

する。

　【０１２９】

　絶縁層ＬＡは、各トランジスター１２１，１２２，１２３，１２４，１２６のゲート層

ＧＴが形成された絶縁膜Ｌ０の面上に形成される。図２４の金属層Ａの部分及び図２６か

ら理解される通り、絶縁層ＬＡの面上には、給電線１１６と、複数の中継電極ＱＡ（ＱＡ

１３，ＱＡ１４，ＱＡ１５，ＱＡ１６，ＱＡ１７，ＱＡ１８，ＱＡ１９，ＱＡ２０，ＱＡ

２１）とが同層から形成される。

　また、図２４から理解されるように、本実施形態においては、第２データ転送線１４－

２は、駆動トランジスター１２１、第１トランジスター１２６、第２トランジスター１２

２、及び第３トランジスター１２３のソース電極が形成される層よりも上層に形成される

。したがって、チップ面積の増大を防ぐことができる。

　図２４に示す中継電極ＱＡ１３はソース電極であり、第２トランジスター１２２のドレ

イン領域またはソース領域を形成する能動領域１０Ａに直接接して形成される電極である

。

　また、図２４に示す中継電極ＱＡ１５もソース電極であり、第３トランジスター１２３

のドレイン領域またはソース領域を形成する能動領域１０Ａ、第４トランジスター１２４

のドレイン領域またはソース領域を形成する能動領域１０Ａ、及び駆動トランジスター１

２１のドレイン領域またはソース領域を形成する能動領域１０Ａに直接接して形成される

電極である。

　さらに、図２４に示す中継電極ＱＡ１７もソース電極であり、第３トランジスター１２

３のドレイン領域またはソース領域を形成する能動領域１０Ａ、第２トランジスター１２

２のドレイン領域またはソース領域を形成する能動領域１０Ａ、及び第１トランジスター

１２６のドレイン領域またはソース領域を形成する能動領域１０Ａに直接接して形成され

る電極である。

　図２４の金属層Ａの部分及び図２６から理解される通り、給電線１１６は、絶縁層ＬＡ

と絶縁膜Ｌ０とを貫通する導通孔ＨＡ１６を介して駆動トランジスター１２１のソース領

域またはドレイン領域を形成する能動領域１０Ａに導通する。また、給電線１１６は、絶

縁層ＬＡと絶縁膜Ｌ０とを貫通する導通孔ＨＡ１５を介して画素容量１３２を形成する能

動領域１０Ａに導通する。給電線１１６は、複数の画素回路１１０にわたり駆動トランジ

スター１２１のチャネル幅の方向（Ｘ方向）に沿って延在する。給電線１１６は、多層配

線層内の配線（図示略）を介して、高位側の電源電位Ｖｅｌが供給される実装端子に導通

する。なお、図示を省略するが、画素回路１１０の周辺領域内にも別の電源線層が形成さ

れる。この電源線層は、多層配線層内の配線（図示略）を介して、低位側の電源電位Ｖｃ

ｔが供給される実装端子に導通する。給電線１１６及び低位側の電源電位Ｖｃｔが供給さ

れる電源線層は、例えば銀やアルミニウムを含有する導電材料で例えば１００ｎｍ程度の

膜厚に形成される。

　【０１３０】

　駆動トランジスター１２１のゲート層ＧＴdrは、中継電極ＱＡ１３と、絶縁層ＬＡを貫

通する導通孔ＨＢ１３と、絶縁層ＬＡと絶縁膜Ｌ０とを貫通する導通孔ＨＡ１４とを介し

て、第２トランジスター１２２のソース領域またはドレイン領域を形成する能動領域１０

Ａに導通する。

　【０１３１】

　駆動トランジスター１２１と第３トランジスター１２３及び第４トランジスター１２４

との導通部、第３トランジスター１２３と第６トランジスター１２６との導通部のそれぞ

れには、中継電極ＱＡ１５、中継電極ＱＡ１７が、給電線１１６と同層に形成される。ま

た、第２トランジスター１２２のゲート層ＧＴwr、第３トランジスター１２３のゲート層

ＧＴcmp、第４トランジスター１２４のゲート層ＧＴel、及び第６トランジスターのゲー

ト層ＧＴfixの導通部には、中継電極ＱＡ１４、中継電極ＱＡ１６、中継電極ＱＡ１９、

及び中継電極ＱＡ１８が、給電線１１６と同層に形成される。さらに、第４トランジスタ

ー１２４のソース領域またはドレイン領域の導通部、及び第１トランジスター１２６のソ

ース領域またはドレイン領域の導通部には、中継電極ＱＡ２０、及び中継電極ＱＡ２１が

、給電線１１６と同層に形成される。

　【０１３２】

　図２４の金属層Ａの部分、及び図２６から理解される通り、中継電極ＱＡ１５は、絶縁

膜Ｌ０と絶縁層ＬＡとを貫通する導通孔ＨＡ１７を介して駆動トランジスター１２１のド

レイン領域またはソース領域を形成する能動領域１０Ａに導通する。また、中継電極ＱＡ

１５は、絶縁膜Ｌ０と絶縁層ＬＡとを貫通する導通孔ＨＡ１８を介して、第３トランジス

ター１２３のドレイン領域またはソース領域を形成する能動領域１０Ａに導通する。さら

に、中継電極ＱＡ１５は、絶縁膜Ｌ０と絶縁層ＬＡとを貫通する導通孔ＨＡ１９を介して

第４トランジスター１２４のドレイン領域またはソース領域を形成する能動領域１０Ａに

導通する。

　【０１３３】

　中継電極ＱＡ１７は、絶縁膜Ｌ０と絶縁層ＬＡを貫通する導通孔ＨＡ１３を介して、第

２トランジスター１２２と第３トランジスター１２２のドレイン領域またはソース領域を

形成する能動領域１０Ａに導通する。また、中継電極ＱＡ１７は、絶縁膜Ｌ０と絶縁層Ｌ

Ａを貫通する導通孔ＨＡ２１を介して、第１トランジスター１２１のドレイン領域または

ソース領域を形成する能動領域１０Ａに導通する。

　【０１３４】

　中継電極ＱＡ２０は、絶縁膜Ｌ０と絶縁層ＬＡを貫通する導通孔ＨＡ２０を介して、第

４トランジスター１２４のドレイン領域またはソース領域を形成する能動領域１０Ａに導

通する。中継電極ＱＡ２１は、絶縁膜Ｌ０と絶縁層ＬＡを貫通する導通孔ＨＡ２２を介し

て、第１トランジスター１２６のドレイン領域またはソース領域を形成する能動領域１０

Ａに導通する。また、中継電極ＱＡ２１は、初期電位が供給される給電線１７と接続され

る。

　【０１３５】

　絶縁層ＬＢは、給電線１１６と、複数の中継電極ＱＡ（ＱＡ１３，ＱＡ１４，ＱＡ１５

，ＱＡ１６，ＱＡ１７，ＱＡ１８，ＱＡ１９，ＱＡ２０，ＱＡ２１）とが形成された絶縁

層ＬＡの面上に形成される。図２４の金属層Ｂの部分及び図２６から理解される通り、絶

縁層ＬＢの面上には、走査線１２と、第３トランジスター１２３の制御線１４３と、第４

トランジスター１２４の制御線１４４と、第１トランジスター１２６の制御線１４６と、

複数の中継電極ＱＢ（ＱＢ５，ＱＢ６）とが同層から形成される。

　【０１３６】

　図２４の金属層Ｂの部分及び図２６から理解される通り、第１の導電層の一例としての

走査線１２は、画素回路１１０毎に絶縁層ＬＢに形成された導通孔ＨＣ１５を介して中継

電極ＱＡ１４に導通する。したがって、図２４及び図２６から理解される通り、走査線１

２は、絶縁層ＬＢを貫通する導通孔ＨＣ１５と、中継電極ＱＡ１４と、絶縁層ＬＡを貫通

する導通孔ＨＢ１５とを介して第２トランジスター１２１のゲート層ＧＴwrに導通する。

走査線１２は、複数の画素回路１１０にわたりＸ方向に直線状に延在し、絶縁層ＬＣによ

り第１容量１３３及び第２データ転送線１４－２からは電気的に絶縁される。

　【０１３７】

　図２４から理解される通り、制御線１４３は、画素回路１１０毎に絶縁層ＬＢに形成さ

れた導通孔ＨＣ１４を介して中継電極ＱＡ１６に導通する。したがって、図２４ないし図

２６から理解される通り、制御線１４３は、絶縁層ＬＢを貫通する導通孔ＨＣ１４と、中

継電極ＱＡ１６と、絶縁層ＬＡを貫通する導通孔ＨＢ１４とを介して第３トランジスター

１２３のゲート層ＧＴcmpに導通する。制御線１４３は、複数の画素回路１１０にわたり

Ｘ方向に直線状に延在し、絶縁層ＬＣにより第１容量１３３及び第２データ転送線１４－

２からは電気的に絶縁される。

　【０１３８】

　図２４から理解される通り、制御線１４４は、画素回路１１０毎に絶縁層ＬＢに形成さ

れた導通孔ＨＣ１１を介して中継電極ＱＡ１９に導通する。したがって、図２４ないし図

２６から理解される通り、制御線１４４は、絶縁層ＬＢを貫通する導通孔ＨＣ１１と、中

継電極ＱＡ１９と、絶縁層ＬＡを貫通する導通孔ＨＢ１６とを介して第４トランジスター

１２４のゲート層ＧＴelに導通する。制御線１４４は、複数の画素回路１１０にわたりＸ

方向に直線状に延在し、絶縁層ＬＣにより第１容量１３３及び第２データ転送線１４－２

からは電気的に絶縁される。

　【０１３９】

　図２４から理解される通り、制御線１４６は、画素回路１１０毎に絶縁層ＬＢに形成さ

れた導通孔ＨＣ１３を介して中継電極ＱＡ１８に導通する。したがって、図２４ないし図

２６から理解される通り、制御線１４６は、絶縁層ＬＢを貫通する導通孔ＨＣ１３と、中

継電極ＱＡ１８と、絶縁層ＬＡを貫通する導通孔ＨＢ１７とを介して第１トランジスター

１２６のゲート層ＧＴfixに導通する。制御線１４６は、複数の画素回路１１０にわたり

Ｘ方向に直線状に延在し、絶縁層ＬＣにより第１容量１３３及び第２データ転送線１４－

２からは電気的に絶縁される。

　【０１４０】

　中継電極ＱＢ５は、画素回路１１０毎に絶縁層ＬＢに形成された導通孔ＨＣ１２を介し

て中継電極ＱＡ１７に導通する。したがって、図２４ないし図２６から理解される通り、

中継電極ＱＢ５は、絶縁層ＬＢを貫通する導通孔ＨＣ１２と、中継電極ＱＡ１７と、絶縁

膜Ｌ０および絶縁層ＬＡを貫通する導通孔ＨＡ２１を介して第１トランジスター１２６の

ドレイン領域またはソース領域を形成する能動領域１０Ａに導通する。

　【０１４１】

　中継電極ＱＢ６は、画素回路１１０毎に絶縁層ＬＢに形成された導通孔ＨＣ１６を介し

て中継電極ＱＡ２０に導通する。したがって、図２４ないし図２６から理解される通り、

中継電極ＱＢ６は、絶縁層ＬＢを貫通する導通孔ＨＣ１６と、中継電極ＱＡ２０と、絶縁

膜Ｌ０および絶縁層ＬＡを貫通する導通孔ＨＡ２０を介して第４トランジスター１２４の

ドレイン領域またはソース領域を形成する能動領域１０Ａに導通する。

　【０１４２】

　絶縁層ＬＣは、走査線１２と、第３トランジスター１２３の制御線１４３と、第４トラ

ンジスター１２４の制御線１４４と、第１トランジスター１２６の制御線１４６と、複数

の中継電極ＱＢ（ＱＢ５，ＱＢ６）とが形成された絶縁層ＬＢの面上に形成される。図２

４及び図２６から理解される通り、絶縁層ＬＣの面上には、第２データ転送線１４－２と

、当該第２データ転送線１４－２と一体に形成された転送容量１３３の第２電極１３３－

２と、中継電極ＱＣ４とが同層から形成される。

　【０１４３】

　第３の導電層の一例としての第２データ転送線１４－２は、複数の画素回路１１０にわ

たりＹ方向に沿って延在する。第２データ転送線１４－２は、絶縁層ＬＣを貫通する導通

孔ＨＤ５と、中継電極ＱＢ５と、絶縁層ＬＢを貫通する導通孔ＨＣ１２と、中継電極ＱＡ

１７と、絶縁膜Ｌ０および絶縁層ＬＡを貫通する導通孔ＨＡ２１を介して、第１トランジ

スター１２６のドレイン領域またはソース領域を形成する能動領域１０Ａに導通される。

また、第２データ転送線１４－２は、絶縁層ＬＣを貫通する導通孔ＨＤ５と、中継電極Ｑ

Ｂ５と、絶縁層ＬＢを貫通する導通孔ＨＣ１２と、中継電極ＱＡ１７と、絶縁膜Ｌ０およ

び絶縁層ＬＡを貫通する導通孔ＨＡ１３を介して、第３トランジスター１２３及び第２ト

ランジスター１２２のドレイン領域またはソース領域を形成する能動領域１０Ａに導通す

る。

　転送容量１３３（第１容量）の第５の導電層の一例としての第２電極１３３－２は、画

素回路１１０において、走査線１２、制御線１４３、及び制御線１４６を覆う矩形の電極

であり、第２データ転送線１４－２と一体に形成される。

　【０１４４】

　絶縁層ＬＤは、第２データ転送線１４－２と、転送容量１３３の第２電極１３３－２と

、中継電極ＱＣ４とが形成された絶縁層ＬＣの面上に形成される。図２４の容量電極層の

部分及び図２６から理解される通り、絶縁層ＬＤの面上には、転送容量１３３の第１電極

１３３－１が形成される。

　転送容量１３３（第１容量）の第４の導電層の一例としての第１電極１３３－１は、絶

縁層ＬＤを介して第２電極１３３－２と対向する矩形の容量電極である。第１電極１３３

－１は、絶縁層ＬＤを介して第２電極１３３－２と対向する。このように、転送容量１３

３は、ＭＩＭ(Metal-Insulator-Metal)構造により形成されるので、大容量化が可能とな

っている。

　【０１４５】

　絶縁層ＬＥは、転送容量１３３の第１電極１３３－１が形成された絶縁層ＬＤの面上に

形成される。図２５の金属層Ｄの部分及び図２６から理解される通り、絶縁層ＬＥの面上

には、第１データ転送線１４－１と、給電線１６と、中継電極ＱＤ２が形成される。

　第２の導電層の一例としての第１データ転送線１４－１は、複数の画素回路１１０にわ

たりＹ方向に沿って延在する。第１データ転送線１４－１は、絶縁層ＬＥを貫通する導通

孔ＨＦ４，ＨＦ５，ＨＦ６を介して、転送容量１３３の第１電極１３３－１に導通される

。

　【０１４６】

　第６の導電層の一例としての給電線１６は、複数の画素回路１１０にわたりＹ方向に沿

って延在する。給電線１６は、第１データ転送線１４－１と同層に形成され、絶縁層ＬＦ

を介して、第１データ転送線１４－１との間に所定の間隙を有して配置される。このよう

にしてシールド容量１３４が形成され、第１データ転送線１４－１は給電線１６によって

シールドされることになる。

　【０１４７】

　中継電極ＱＤ２は、絶縁層ＬＥ及び絶縁層ＬＤを貫通する導通孔ＨＥ４を介して中継電

極ＱＣ４に導通する。したがって、中継電極ＱＤ２は、絶縁層ＬＥ及び絶縁層ＬＤを貫通

する導通孔ＨＥ４と、中継電極ＱＣ４と、絶縁層ＬＣを貫通する導通孔ＨＤ６と、中継電

極ＱＢ６と、絶縁層ＬＢを貫通する導通孔ＨＣ１６と、中継電極ＱＡ２０と、絶縁膜Ｌ０

と絶縁層ＬＡを貫通する導通孔ＨＡ２０とを介して、第４トランジスター１２４のドレイ

ン領域またはソース領域を形成する能動領域１０Ａとに導通する。

　【０１４８】

　絶縁層ＬＦは、第１データ転送線１４－１と、給電線１６と、中継電極ＱＤ２とが形成

された絶縁層ＬＥの面上に形成される。図２５の反射層の部分及び図２６から理解される

通り、絶縁層ＬＦの面上には、反射層５０が形成される。反射層５０は、画素回路１１０

毎に個別に形成されている。反射層５０は、例えば銀やアルミニウムを含有する光反射性

の導電材料で例えば１００ｎｍ程度の膜厚に形成される。図２５及び図２６から理解され

るように、反射層５０は、絶縁層ＬＦを貫通する導通孔ＨＧ２を介して中継電極ＱＤ２に

導通する。したがって、反射層５０は、中継電極ＱＤ２を介して第４トランジスター１２

４のドレイン領域またはソース領域を形成する能動領域１０Ａと導通する。

　【０１４９】

　反射層５０が形成された絶縁層ＬＦの面上には、図２６に示される通り、光路調整層Ｌ

Ｇが形成される。光路調整層ＬＧは、各画素回路１１０の共振構造の共振波長（すなわち

表示色）を規定する光透過性の膜体である。表示色が同じ画素では、共振構造の共振波長

は略同じであり、表示色が異なる画素では、共振構造の共振波長は異なるように設定され

る。

　【０１５０】

　図２５の画素電極層の部分及び図２６に示される通り、光路調整層ＬＧの面上には、画

素回路１１０毎のアノード１３０ａが形成される。アノード１３０ａは、例えばＩＴＯ（

Indium Tin Oxide）等の光透過性の導電材料で形成される。アノード１３０ａは、光路調

整層ＬＧを貫通する導通孔ＨＨ２を介して、反射層５０と導通する。したがって、アノー

ド１３０ａは、反射層５０を介して第４トランジスター１２４のドレイン領域またはソー

ス領域のドレイン領域またはソース領域を形成する能動領域１０Ａと導通する。

　【０１５１】

　アノード１３０ａが形成された光路調整層ＬＧの面上には、図２６の画素定義膜の部分

及び図２６に例示される通り、基板１０の全域にわたり画素定義膜５１が形成される。画

素定義膜５１は、例えば珪素化合物（典型的には窒化珪素や酸化珪素）等の絶縁性の無機

材料で形成される。図２５の画素定義膜の部分から理解される通り、画素定義膜５１には

、各アノード１３０ａに対応する開口部５１Ａが形成される。画素定義膜５１のうち開口

部５１Ａの内周縁の近傍の領域はアノード１３０ａの周縁に重なる。すなわち、開口部５

１Ａの内周縁は平面視でアノード１３０ａの周縁の内側に位置する。各開口部５１Ａは、

平面形状（矩形状）やサイズが共通し、かつ、Ｘ方向およびＹ方向の各々にわたり共通の

ピッチで行列状に配列する。以上の説明から理解される通り、画素定義膜５１は平面視で

格子状に形成される。尚、開口部５１Ａの平面形状やサイズは、表示色が同じであれば同

じであり、表示色が異なる場合は異なるようにしてもよい。また、開口部５１Ａのピッチ

は、表示色が同じ開口部同士では同じであり、表示色が異なる開口部間では異なるように

してもよい。

　【０１５２】

　その他にも、詳細な説明は省略するが、アノード１３０ａの上層には、発光機能層、Ｏ

ＬＥＤ１３０のカソード、及び封止体が積層され、以上の各要素が形成された基板１０の

表面には封止基板（図示略）が例えば接着剤で接合される。封止基板は、基板１０上の各

要素を保護するための光透過性の板状部材（例えばガラス基板）である。なお、封止基板

の表面または封止体の表面に画素回路１１０毎にカラーフィルターを形成することも可能

である。

　【０１５３】

　また、図示を省略するが、画素回路１１０には別の電源線層としての共通電極１１８が

形成される。共通電極１１８は、多層配線層内の配線（図示略）を介して、低位側の電源

電位Ｖｃｔが供給される実装端子に導通する。給電線１１６及び低位側の電源電位Ｖｃｔ

が供給される共通電極１１８は、例えば銀やアルミニウムを含有する導電材料で例えば１

００ｎｍ程度の膜厚に形成される。共通電極１１８は、アノード１３０ａと導通する。

　【０１５４】

　駆動トランジスター１２１のゲートｇに供給する電位Ｖｇのデータ圧縮率を高めるため

には、転送容量（第１容量）１３３を大きくすることが望ましいが、本実施形態によれば

、転送容量１３３をＭＩＭ(Metal-Insulator-Metal)構造により形成するため、転送容量

１３３の大容量化が可能である。また、転送容量１３３は、第２トランジスター１２２及

び第３トランジスター１２３のソース電極が形成される層よりも上層に形成されるので、

画素回路１１０の表示領域内に形成されることになり、チップ面積の増大を防ぐことがで

きる。

　また、シールド容量（第２容量）１３４については、絶縁層ＬＦを介して、第１データ

転送線１４－１とシールド線としての給電線１６とを所定の間隙で配置することによって

形成する。したがって、シールド容量１３４は、２本の平行な配線によって形成されるの

で、Ｙ方向において所定の長さを有することになり、所定の容量を確保することができる

。また、シールド容量１３４についても画素回路１１０の表示領域内に形成されるので、

チップ面積の増大を防ぐことができる。

　【０１５５】

　本実施例では、画素回路１１０ごとに転送容量１３３を形成したが、第２データ転送線

１４－２ごとに転送容量１３３を形成するようにしてもよい。チップ面積の増大をさらに

防ぐことができる。

　【０１５６】

　図２４ないし図２６から理解されるように、本実施形態においては、供給される信号の

振幅が大きい第１データ転送線１４－１は、圧縮された信号が供給される第２データ信号

線１４－２よりも上層に形成されている。つまり、駆動トランジスター１２１のゲートに

対する、第１データ転送線１４－１に供給される振幅の大きい信号の影響が軽減され、駆

動トランジスター１２１のゲートの電位の変動を抑制して、表示品位を向上させることが

できる。

　【０１５７】

　また、図２４及び図２６から理解されるように、本実施形態においては、第２データ転

送線１４－２は、駆動トランジスター１２１、第１トランジスター１２６、第２トランジ

スター１２２、及び第３トランジスター１２３のソース電極が形成される層よりも上層に

形成される。したがって、チップ面積の増大を防ぐことができる。

　さらに、図２４及び図２６から理解されるように、駆動トランジスター１２１の第２電

流端に接続される電源線としての給電線１１６は、第２データ転送線１４－２よりも下層

に形成されるので、給電線１１６がシールドとして機能し、駆動トランジスター１２１の

ゲートの電位の変動をより一層効果的に抑制して、表示品位を向上させることができる。

　また、図２４から理解されるように、駆動トランジスター１２１は電源線としての給電

線１１６に覆われているので、給電線１１６がシールドとして機能し、駆動トランジスタ

ー１２１のゲートの電位の変動をより一層効果的に抑制して、表示品位を向上させること

ができる。

　【０１５８】

　図２４ないし図２６から理解されるように、転送容量１３３の第１電極１３３－１と第

２電極１３３－２は、第１データ転送線１４－１が形成される層とは異なる層に形成され

ている。したがって、小さな面積である程度の容量を確保するために絶縁層を薄くした場

合でも、短絡を発生せずに均一な層間を有する転送容量１３３を形成することができる。

　【０１５９】

＜第４実施形態＞

　次に、本発明の第４実施形態について添付図面の図２７ないし図３０を参照しつつ説明

する。なお、第３実施形態との共通箇所については、同一符号を付して説明を省略する。

　【０１６０】

＜回路図＞

　本実施形態の回路は、図２７に示すように、第３実施形態と同様に５個のトランジスタ

ーで構成されるが、給電線１７は設けられていない。その代わりに、第１トランジスター

１２６のドレインまたはソースは、第１データ転送線１４－１に接続され、第１データ転

送線１４－１には、トランスミッションゲート４５を介して、初期電位Ｖiniが供給され

る。その他の構成は、第３実施形態と同様である。

　本実施形態における動作は、上述した各実施形態と同様であり、発光期間中にフローテ

ィングノードになる第２トランジスター１２２の転送容量１３３側の第２データ転送線１

４－２を、他のブロックで初期化期間の処理が行われる期間において固定電位の初期電位

Ｖiniに設定するので、第２データ転送線１４－２の電位が電源電位に近づくことを抑え

ることができる。その結果、第２トランジスター１２２がオンすることがなく、画素容量

１３２において電圧が保持され、表示の不具合を発生させることがない。

　【０１６１】

＜構造＞

　本実施形態においては、図２８に示すように、第２データ転送線１４－２の配置と形状

が第３実施形態と異なっている。また、第１トランジスター１２６のドレインまたはソー

スを構成するノード領域１０Ａは、導通孔ＨＡ２２、中継電極ＱＡ２２、導通孔ＨＤ７、

中継電極ＱＢ８を介して、第１データ転送線１４－１と接続される。その他の構造は、第

３実施形態と同様である。

　【０１６２】

　駆動トランジスター１２１のゲートｇに供給する電位Ｖｇのデータ圧縮率を高めるため

には、転送容量（第１容量）１３３を大きくすることが望ましいが、本実施形態によれば

、転送容量１３３をＭＩＭ(Metal-Insulator-Metal)構造により形成するため、転送容量

１３３の大容量化が可能である。また、転送容量１３３は、第２トランジスター１２２及

び第３トランジスター１２３のソース電極が形成される層よりも上層に形成されるので、

画素回路１１０の表示領域内に形成されることになり、チップ面積の増大を防ぐことがで

きる。

　図２８に示す中継電極ＱＡ１３はソース電極であり、第２トランジスター１２２のドレ

イン領域またはソース領域を形成する能動領域１０Ａに直接接して形成される電極である

。

　また、図２８に示す中継電極ＱＡ１５もソース電極であり、第３トランジスター１２３

のドレイン領域またはソース領域を形成する能動領域１０Ａ、第４トランジスター１２４

のドレイン領域またはソース領域を形成する能動領域１０Ａ、及び駆動トランジスター１

２１のドレイン領域またはソース領域を形成する能動領域１０Ａに直接接して形成される

電極である。

　さらに、図２８に示す中継電極ＱＡ１７もソース電極であり、第３トランジスター１２

３のドレイン領域またはソース領域を形成する能動領域１０Ａ、第２トランジスター１２

２のドレイン領域またはソース領域を形成する能動領域１０Ａ、及び第１トランジスター

１２６のドレイン領域またはソース領域を形成する能動領域１０Ａに直接接して形成され

る電極である。

　また、シールド容量（第２容量）１３４については、絶縁層ＬＦを介して、第１データ

転送線１４－１とシールド線としての給電線１６とを所定の間隙で配置することによって

形成する。したがって、シールド容量１３４は、２本の平行な配線によって形成されるの

で、Ｙ方向において所定の長さを有することになり、所定の容量を確保することができる

。また、シールド容量１３４についても画素回路１１０の表示領域内に形成されるので、

チップ面積の増大を防ぐことができる。

　【０１６３】

　本実施例では、画素回路１１０ごとに転送容量１３３を形成したが、第２データ転送線

１４－２ごとに転送容量１３３を形成するようにしてもよい。チップ面積の増大をさらに

防ぐことができる。

　【０１６４】

　図２８ないし図３０から理解されるように、本実施形態においては、供給される信号の

振幅が大きい第１データ転送線１４－１は、圧縮された信号が供給される第２データ信号

線１４－２よりも上層に形成されている。つまり、駆動トランジスター１２１のゲートに

対する、第１データ転送線１４－１に供給される振幅の大きい信号の影響が軽減され、駆

動トランジスター１２１のゲートの電位の変動を抑制して、表示品位を向上させることが

できる。

　【０１６５】

　また、図２８及び図３０から理解されるように、本実施形態においては、第２データ転

送線１４－２は、駆動トランジスター１２１、第１トランジスター１２６、第２トランジ

スター１２２、及び第３トランジスター１２３のソース電極が形成される層よりも上層に

形成される。したがって、チップ面積の増大を防ぐことができる。

　さらに、図２８及び図３０から理解されるように、駆動トランジスター１２１の第２電

流端に接続される電源線としての給電線１１６は、第２データ転送線１４－２よりも下層

に形成されるので、給電線１１６がシールドとして機能し、駆動トランジスター１２１の

ゲートの電位の変動をより一層効果的に抑制して、表示品位を向上させることができる。

　また、図２８から理解されるように、駆動トランジスター１２１は電源線としての給電

線１１６に覆われているので、給電線１１６がシールドとして機能し、駆動トランジスタ

ー１２１のゲートの電位の変動をより一層効果的に抑制して、表示品位を向上させること

ができる。

　【０１６６】

　図２８ないし図３０から理解されるように、転送容量１３３の第１電極１３３－１と第

２電極１３３－２は、第１データ転送線１４－１が形成される層とは異なる層に形成され

ている。したがって、小さな面積である程度の容量を確保するために絶縁層を薄くした場

合でも、短絡を発生せずに均一な層間を有する転送容量１３３を形成することができる。

　【０１６７】

　図２８の金属層Ａの部分に示すように、第１トランジスター１２６と第１データ転送線

１４－１との接続位置を点線の楕円Ａで示し、駆動トランジスター１２１の第１電流端と

第３トランジスター１２３との接続位置を点線の楕円Ｂで示す。また、第４トランジスタ

ー１２４と発光素子としてのＯＬＥＤ１３０との接続位置を点線の楕円Ｃで示す。このよ

うに示すと、一つの画素回路１１０内で見た場合には、第１トランジスター１２６と第１

データ転送線１４－１との接続位置を点線の楕円Ａは、駆動トランジスター１２１の第１

電流端と第３トランジスター１２３との接続位置を点線の楕円Ｂよりも、第４トランジス

ター１２４と発光素子としてのＯＬＥＤ１３０との接続位置を点線の楕円Ｃに近くなって

いる。

　したがって、第１データ転送線１４－１には振幅の高い信号が供給され、第１トランジ

スター１２６と第１データ転送線１４－１の接続位置（楕円Ａ）にノイズが発生したとし

ても、駆動トランジスター１２１に対するノイズの影響を抑えることができ、表示品位を

向上させることができる。

　【０１６８】

　また、図２８に示すように、第１トランジスター１２６と第１データ転送線１４－１の

接続位置（楕円Ａ）、駆動トランジスター１２１の第１電流端と第３トランジスター１２

３との接続位置（楕円Ｂ）、及び第４トランジスター１２４と発光素子としてのＯＬＥＤ

１３０との接続位置（楕円Ｃ）のそれぞれは、当該画素回路１１０における電源線として

の給電線１１６と、Ｙ方向に隣り合うブロックの画素回路１１０における電源線としての

給電線１１６との間に配置されることになる。したがって、給電線１１６がシールドとな

り、ノイズの影響を低減することができる。

　【０１６９】

＜変形例＞

　本発明は、上述した実施形態に限定されるものではなく、例えば次に述べるような各種

の変形が可能である。また、次に述べる変形の態様は、任意に選択された一または複数を

、適宜に組み合わせることもできる。

＜変形例１＞

　上述した実施形態では、各画素回路１１０において第３トランジスター１２３は、駆動

トランジスター１２１のドレインと第２データ転送線１４－２との間に接続されているが

、図３１に示すように駆動トランジスター１２１のドレインとゲートｇとの間に接続され

ていてもよい。

　【０１７０】

＜変形例２＞

　第１実施形態においては、第１データ転送線１４－１に対して、トランスミッションゲ

ート４５を介して初期電位Ｖiniを供給し、第１トランジスター１２６をオンすることに

より、第２データ転送線１４－２に初期電位Ｖiniを供給した。しかし、図３２に示すよ

うに、初期電位Ｖiniを供給する給電線１７を設け、第１トランジスター１２６のドレイ

ンまたはソースと、給電線１７を接続するようにしてもよい。この場合には、第１トラン

ジスター１２６をオンすることにより、給電線１７から第２データ転送線１４－２に初期

電位Ｖiniが供給されることになる。

　【０１７１】

＜変形例３＞

　上述した実施形態の回路図では、第１トランジスター１２６と転送容量１３３とを画素

回路１１０ごとに一対一対応で設けているが、図３３に示すように、第１トランジスター

１２６と転送容量１３３とをＮｂ個の画素回路１１０に対して各一個の割合で設けてもよ

い。

　【０１７２】

＜変形例４＞

　上述した実施形態では、第１データ転送線１４－１を３列毎にグループ化するとともに

、各グループにおいて第１データ転送線１４－１を順番に選択して、データ信号を供給す

る構成としたが、グループを構成するデータ線数は、「２」以上「３ｎ」以下の所定数で

あればよい。例えば、グループを構成するデータ線数は、「２」であっても良いし、「４

」以上であっても良い。

　また、グループ化せずに、すなわちデマルチプレクサＤＭを用いないで各列の第１デー

タ転送線１４－１にデータ信号を一斉に線順次で供給する構成でも良い。

　【０１７３】

＜変形例５＞

　上述した実施形態では、トランジスター１２１～１２６をＰチャネル型で統一したが、

Ｎチャネル型で統一しても良い。また、Ｐチャネル型及びＮチャネル型を適宜組み合わせ

ても良い。

　例えば、トランジスター１２１～１２６をＮチャネル型で統一する場合、上述した実施

形態における、データ信号Ｖd(n)とは、正負が逆転した電位を、各画素回路１１０に供給

すればよい。また、この場合、トランジスター１２１～１２６のソース及びドレインは、

上述した実施形態及び変形例とは逆転した関係となる。

＜変形例６＞

　上述した実施形態及び変形例では、電気光学素子として発光素子であるＯＬＥＤを例示

したが、例えば無機発光ダイオードやＬＥＤ（Light Emitting Diode）など、電流に応じ

た輝度で発光するものであれば良い。

　【０１７４】

＜応用例＞

　次に、実施形態等や応用例に係る電気光学装置１を適用した電子機器について説明する

。電気光学装置１は、画素が小サイズで高精細な表示な用途に向いている。そこで、電子

機器として、ヘッドマウント・ディスプレイを例に挙げて説明する。

　【０１７５】

　図３４は、ヘッドマウント・ディスプレイの外観を示す図であり、図３５は、その光学

的な構成を示す図である。

　まず、図３４に示されるように、ヘッドマウント・ディスプレイ３００は、外観的には

、一般的な眼鏡と同様にテンプル３１０や、ブリッジ３２０、レンズ３０１Ｌ、３０１Ｒ

を有する。また、ヘッドマウント・ディスプレイ３００は、図３５に示されるように、ブ

リッジ３２０近傍であってレンズ３０１Ｌ、３０１Ｒの奥側（図において下側）には、左

眼用の電気光学装置１Ｌと右眼用の電気光学装置１Ｒとが設けられる。

　電気光学装置１Ｌの画像表示面は、図３５において左側となるように配置している。こ

れによって電気光学装置１Ｌによる表示画像は、光学レンズ３０２Ｌを介して図において

９時の方向に出射する。ハーフミラー３０３Ｌは、電気光学装置１Ｌによる表示画像を６

時の方向に反射させる一方で、１２時の方向から入射した光を透過させる。

　電気光学装置１Ｒの画像表示面は、電気光学装置１Ｌとは反対の右側となるように配置

している。これによって電気光学装置１Ｒによる表示画像は、光学レンズ３０２Ｒを介し

て図において３時の方向に出射する。ハーフミラー３０３Ｒは、電気光学装置１Ｒによる

表示画像を６時方向に反射させる一方で、１２時の方向から入射した光を透過させる。

　【０１７６】

　この構成において、ヘッドマウント・ディスプレイ３００の装着者は、電気光学装置１

Ｌ、１Ｒによる表示画像を、外の様子と重ね合わせたシースルー状態で観察することがで

きる。

　また、このヘッドマウント・ディスプレイ３００において、視差を伴う両眼画像のうち

、左眼用画像を電気光学装置１Ｌに表示させ、右眼用画像を電気光学装置１Ｒに表示させ

ると、装着者に対し、表示された画像があたかも奥行きや立体感を持つかのように知覚さ

せることができる（３Ｄ表示）。

　【０１７７】

　なお、電気光学装置１については、ヘッドマウント・ディスプレイ３００のほかにも、

ビデオカメラやレンズ交換式のデジタルカメラなどにおける電子式ビューファインダーに

も適用可能である。

【符号の説明】

　【０１７８】

　１、１Ｌ、１Ｒ…電気光学装置、２…表示パネル、３…制御回路、５…データ線駆動回

路、６…走査線駆動回路、１２…走査線、１４－１…第１データ転送線、１４－２…第２

データ転送線、１６…給電線、３１…電圧生成回路、３４…トランスミッションゲート、

４１…保持容量、４２…トランスミッションゲート、４５…トランスミッションゲート、

７０…データ信号供給回路、１００…表示部、１１０…画素回路、１１６…給電線、１１

８…共通電極、１２１、１２２，１２３，１２４，１２５，１２６…トランジスター、１

３０…ＯＬＥＤ、１３０ａ…アノード、１３２…画素容量、１３３…転送容量、１４３、

１４４、１４５、１４６…制御線、３００…ディスプレイ、３０１Ｌ、３０１Ｒ…レンズ

、３０２Ｌ、３０２Ｒ…光学レンズ、３０３Ｌ、３０３Ｒ…ハーフミラー、３１０…テン

プル、３２０…ブリッジ、ＤＭ…デマルチプレクサ、ＤＴ…データ転送回路。

【書類名】特許請求の範囲

【請求項１】

　第１の導電層と、

　第２の導電層と、

　第３の導電層と、

　前記第２の導電層に接続された第４の導電層と、前記第３の導電層と前記第４の導電層

との間の誘電体膜とを有する第１容量と、

　前記第３の導電層と前記第１の導電層とに対応して設けられた画素回路と、を有し、

　前記第２の導電層は、前記第３の導電層が形成される層よりも上層に形成される、

　ことを特徴とする電気光学装置。

【請求項２】

　前記第３の導電層は、前記トランジスターのソース電極が形成される層よりも上層に形

成される、

　ことを特徴とする請求項１に記載の電気光学装置。

【請求項３】

　前記第２の導電層には、二以上の前記第３の導電層が、それぞれ前記第１容量を介して

接続され、前記第３の導電層を介して同一の前記第２の導電層に接続された前記画素回路

の集合を画素列とし、前記画素列に含まれる前記画素回路の個数よりも少ない個数の前記

画素回路を一つのブロックとすると、前記第３の導電層は、各ブロックに対して設けられ

てなる、

　ことを特徴とする請求項１または請求項２に記載の電気光学装置。

【請求項４】

　前記第１容量の前記第４の導電層は、前記第２の導電層と異なる層に形成され、前記第

１容量の前記第５の導電層は、前記第４の導電層と異なる層に形成される、

　ことを特徴とする請求項１乃至請求項３のいずれか一項に記載の電気光学装置。

【請求項５】

　前記画素回路は、

　駆動トランジスターを含む複数のトランジスターと、

　発光素子と、を備える、

　ことを特徴とする請求項１乃至請求項４のいずれか一項に記載の電気光学装置。

【請求項６】

　前記複数のトランジスターのうち、前記駆動トランジスターの電流端に接続される電源

線は、前記第３の導電層よりも下層に形成される、

　ことを特徴とする請求項５に記載の電気光学装置。

【請求項７】

　前記駆動トランジスターのゲート電極は、前記電源線に覆われてなる、

　ことを特徴とする請求項６に記載の電気光学装置。

【請求項８】

　前記第１容量は、前記第３の導電層ごとに設けられている、

　ことを特徴とする請求項１乃至請求項７のいずれか一項に記載の電気光学装置。

【請求項９】

　請求項１乃至請求項８のいずれかに記載の電気光学装置を備える、

　ことを特徴とする電子機器。

【書類名】要約書

【要約】

【課題】データ信号の変動に伴うノイズによる表示品位の低下を防止する。

【解決手段】駆動トランジスター121のゲート層GTdrに接続される第2データ転送線14－2

は、ゲート層GTdrよりも上層に形成し、転送容量133は、第2データ転送線14－2よりも上

層に形成する。データ信号が供給される第1データ転送線14-1は、転送容量133よりも上層

に形成する。

【選択図】図15